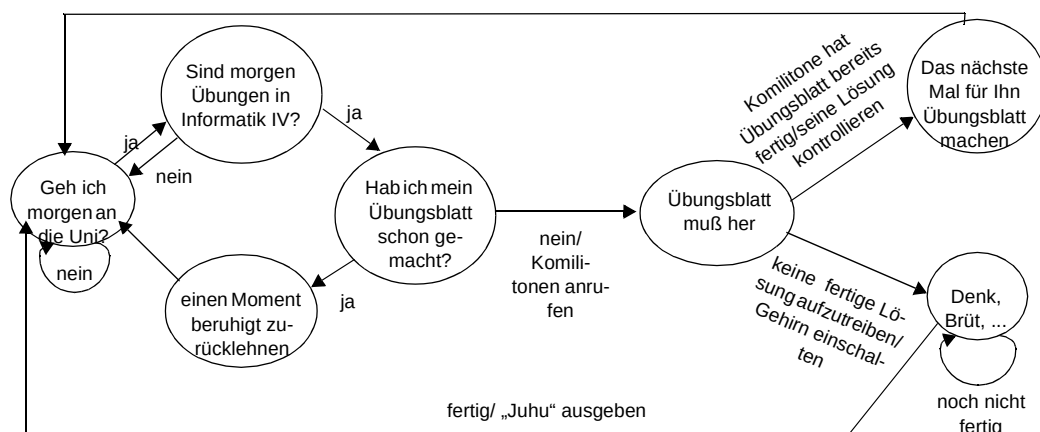


Übung Nr. 1

- 1.) Welche drei Faktoren sind maßgebend für die Leistung eines Rechners?
- 2.) Nach welchem Gesetz verhält sich die Integrationsdichte von Mikroprozessoren und Speichern in Silizium-Technologie?
- 3.) Welche Phasen müssen beim Rechnerentwurf durchlaufen werden?
- 4.) Wie ist der von Neumannsche Rechner aufgebaut. Nach welchen Prinzipien funktioniert er?
- 5.) Welche Berechnungsstärke hat die von Neumann-Maschine?
- 6.) Welche Nachteile hat das von Neumann-Konzept. Gibt es Lösungen für die Probleme?
- 7.) Aus welchen Komponenten besteht ein heutiger Rechner?
- 8.) Welche Möglichkeiten existieren für den Datentransport von/zur Peripherie? Wie funktionieren diese?
- 9.) Wie werden im Rechner Gleitkommazahlen nach dem IEEE-Standard 754 dargestellt?
- 10.) Welche Zahlentypen muß man beim IEEE-Standard 754 unterscheiden. Wozu dienen diese Typen?
- 11.) Mit Hilfe welcher Schaltung kann man ein 1-Bit-Wort bei Bedarf invertieren?
- 12.) Erläutern Sie die Funktionen von Multiplexer, Dekoder und Komparator.
- 13.) Entwerfen Sie aus elementaren Gattern einen 4-zu-1-Multiplexer.
- 14.) Inwiefern hängen Multiplexer und Dekoder hinsichtlich ihres Aufbaus zusammen?
- 15.) Wie funktioniert ein 1-Bit-Links/Rechtsschieber für 4-Bit-Worte?

Übung Nr. 2

- 1.) Erklären Sie den Unterschied zwischen einem SR-Latch, D-Latch und D-Flip-Flop.
- 2.) Wie ist ein Asynchronzähler aufgebaut, der in der Reihenfolge 0,1,2,... zählt?
- 3.) Vergleichen Sie Synchron- und Asynchronzähler miteinander.
- 4.) Definieren Sie Schaltnetz und Schaltwerk.
- 5.) Wie sieht das Prinzipschaltbild eines Schaltwerkes aus?
- 6.) Synthetisieren Sie einen Synchronzähler, der in der Reihenfolge 0,8,1,5,4,7,1,1 zählt.
- 7.) Definieren Sie verbal und formal endliche Automaten mit Ein-/Ausgabe (EAs).
- 8.) Was sind die Zusammenhänge zwischen Synchronzählern, Schaltwerken und EAs.
- 9.) Womit kann man jeden endlichen Automaten mit Ein-/Ausgabe implementieren?
- 10.) Wie sehen die Prinzipschaltbilder von Moore- und Mealy-Automat aus?
- 11.) Vergleichen Sie Moore- und Mealy-Automat miteinander.
- 12.) In welchen Schritten läuft die Synthese eines beliebigen Schaltwerkes ab?
- 13.) Implementieren Sie folgendes Diagramm als endlichen Automaten:



Übung Nr. 3

- 1.) Wo setzt man Schaltwerke bzw. endliche Automaten mit Ein-/Ausgabe (EAs) ein?
- 2.) Auf welcher Hierarchiestufe der Berechnungsstärke rangieren EAs? Welcher Sprache in der Chomsky-Hierarchie entspricht dies?
- 3.) Sowohl Kellerautomat als auch Turingmaschine benötigen eine Steuerung für die Push/Pop-Operation bzw. zur Kopfbewegung. Wie kann diese realisiert werden?
- 4.) Wie kann man die Berechnungsstärke von EAs steigern und wo liegt die Grenze?
- 5.) Erklären Sie den grundsätzlichen Aufbau von Schreib-/Lese-Speichern (RAMs).
- 6.) Was sind die wichtigsten Register in einer Zentraleinheit (CPU). Welches Medium verbindet CPU-intern die Rechenregister mit dem Rechenwerk?
- 7.) Was ist die Aufgabe des Leitwerks in einer CPU und wie kann es realisiert werden? Welcher Art sind die Signale, die das Leitwerk abgibt?
- 8.) Erläutern Sie die Mikroprogrammierung hinsichtlich Prinzip, Umsetzung, Vor- und Nachteile.
- 9.) Setzen Sie folgende Register miteinander in Beziehung: Instruktionsregister (IR), Befehlszähler (PC), Speicheradressen- und Speicherdatenregister (MAR bzw. MDR).
- 10.) Erläutern Sie den Ablauf für die Prozessorphasen „Operand holen“ und „Befehl ausführen“.
- 11.) Wie interagieren das Steuerwerk, PC, IR, MAR und MDR?
- 12.) Welche Mikroschritte sind zur Ausführung der Befehlshauptschleife einer CPU erforderlich?
- 13.) Erläutern Sie auf einem extra Blatt Kopplung und Zusammenspiel von Steuer- und Rechenwerk, Speicher und der wichtigsten Register.

Übung Nr. 4

- 1.) Wofür steht die Bezeichnung „CISC“ und in welchem Zeitraum wurden CISC-Rechner typischerweise gebaut?
- 2.) Beschreiben Sie den internen Aufbau einer typischen 8-Bit-CPU aus der CISC-Kategorie in all ihren Komponenten.
- 3.) In welche Klassen würden Sie die Maschinenbefehle eines Prozessors einteilen? Geben Sie exemplarische Beispiele für Befehle aus jeder Klasse an.
- 4.) Erläutern Sie den Unterschied zwischen den Befehlen LOGICAL SHIFT; ARITHMETIC SHIFT UND ROTATE.
- 5.) Was bewirkt HALT, WAIT und NO OPERATION?
- 6.) Welche Maschinenbefehle werden bei Pentium-Prozessoren für die Ein/Ausgabe verwendet?
- 7.) Was heißt Adressierungsart und welche davon sind bei CISC- bzw. RISC-Rechnern typischerweise vorhanden?
- 8.) Sie möchten mit einem einzigen Assembler-Befehl eines 32 Bit-CISC-Rechners von der Hauptspeicherzelle 100 einen 4-Byte-Wert in das 3. Element eines eindimensionalen Feldes einlesen. Das Feld beginne 200 Hauptspeicheradressen nach dem Programmanfang. Was tun Sie?
- 9.) Was heißt „orthogonaler Befehlssatz“? Halten Sie den Befehlssatz der Pentium-Familie für orthogonal?
- 10.) Bei CISC-Prozessoren kann man den internen Aufbau nach 4 verschiedenen Architekturmöglichkeiten organisieren. Wie lauten diese, und was versteht man jeweils darunter?
- 11.) Bewerten Sie die 4 Architekturmöglichkeiten von CISC-Prozessoren.
- 12.) Die verallgemeinerten Registerarchitekturen lassen sich in 3 Unterkategorien aufteilen. Beschreiben Sie kurz deren Funktionsweise und bewerten Sie die Kategorien hinsichtlich ihrer Vor- und Nachteile.

Übung Nr. 5

- 1.) Wo findet man heutzutage noch CISC-Prozessoren?
- 2.) In welche grundsätzlich verschiedene Anwendungskategorien kann man Prozessoren einteilen? In welcher dieser Kategorien fallen die Prozessoren der Familien Intel x86, Motorola PowerPC, Texas Instruments TMS 320xx, Intel i960 und Hitachi SuperH?
- 3.) Aufgrund welcher Eigenschaft von Programmen gibt es überhaupt Caches? Gliedern Sie diese Eigenschaft hinsichtlich ihrer verschiedenen Ausprägungen.
- 4.) Wie findet ein Cache einen Eintrag wieder?
- 5.) Vergleichen Sie vollassoziativen, direktabbildenden und mengenassoziativen Cache in Bezug auf deren Aufbau.
- 6.) Vergleichen Sie die Vor- und Nachteile der besagten Cache-Typen miteinander.
- 7.) Gegeben sei ein Hauptspeicher mit 64 Mega Worten zu je 32 Bit und ein Befehls-Cache mit 32 KB Kapazität bei einer Blockgröße von 16 Byte pro Cache-Eintrag. Jetzt wird ein Befehl aus dem Hauptspeicher gelesen, der unter der Wortadresse $2^{20}-1$ steht und in den Cache gestellt. An welcher Cache-Adresse kann dieser Befehl bei den drei Cache-Typen wiedergefunden werden und wie lautet die Cache-Kennung ?(Gehen Sie beim mengenassoziativen Cache von einem 4-Wege Cache aus).
- 8.) Bei lesendem CPU-Zugriff gibt es einen Cache-Miss. Welche Gründe kann es dafür geben? Was passiert dann?
- 9.) Ein neuer Block soll aus dem Hauptspeicher in einen mengenassoziativen oder vollassoziativen Cache eingespeichert werden. Der Cache ist an den betreffenden Stellen aber bereits voll. Was ist zu tun?
- 10.) Die CPU will auf eine Speicherzelle schreiben, die in einem Block liegt, der als Kopie im Cache existiert. Was für Möglichkeiten gibt es für das Schreiben? Was passiert, wenn der Block nicht im Cache ist?
- 11.) Wie hängt die Treffer-Rate von Cache-Größe und Blockgröße ab? Wie verhält sich der Speedup in Relation zur Treffer-Rate?
- 12.) Wie wird eine CPU-Adresse in die betreffende Hauptspeicheradresse umgesetzt?

Übung Nr. 6

- 1.) Von welchem Cache-Typ ist der Translation Lookaside Buffer (TLB)? Erläutern Sie den Aufbau des TLB. Was unterscheidet eine MMU vom TLB?
- 2.) Welche Unterschiede hinsichtlich der Speicherverwaltung gibt es zwischen single user/single tasking-, single user/multi tasking- und multi user/multi tasking-Betriebssystemen? Wie werden diese auf der Ebene der Rechnerarchitektur implementiert?
- 3.) Was ist eine PIO? Welche Schnittstellen hat eine PIO?
- 4.) Entwerfen Sie ein vollständiges Mikroprozessorsystem auf Blockschaltbildniveau.
- 5.) Vergleichen Sie Polling und DMA bei der Abfrage peripherer Geräte hinsichtlich ihrer Funktion, sowie Vor- und Nachteilen miteinander.
- 6.) Gliedern Sie alle Möglichkeiten von Interrupts in einem Prozessor mit erweitertem Interruptsystem
- 7.) Diskutieren Sie die Vor- und Nachteile von Interrupts.
- 8.) Gegeben seien in einem Rechner ein zentraler Interrupt Controller (=Unterbrechungs-Steuergerät) und 2 Peripheriegeräte mit unterschiedlicher Priorität und unterschiedlichen Interrupt-Vektoren. Zuerst löse das Gerät niedriger Priorität eine Unterbrechung aus, kurz danach folge das zweite Gerät mit einem Interrupt. Welcher Ablauf entsteht zwischen allen beteiligten Geräten? Wie drückt sich das durch Bussignale aus?
- 9.) Gegeben sei in einem Rechner ein zentraler Interrupt Controller, ein DMA Controller sowie ein Festplatten-Controller. Der Festplatten-Controller soll einen Record auf der Platte lesen. Welche Geräte müssen dazu was tun? Erläutern Sie die einzelnen Schritte der CPU und ihren Controllern mit den Signalverläufen im Steuerbus.
- 10.) Wie werden Peripheriegeräte in einem Rechner mit Intel CPU (Pentium xx) und wie mit Motorola CPU (Power PC) adressiert?
- 11.) Welche Veränderungen führten Anfang der 80er-Jahre zur Entwicklung von RISC-Architekturen?
- 12.) Welche prinzipielle Faktoren bestimmen die Ausführungszeit eines Programms?

Übung Nr. 7

- 1.) Was sind die Unterschiede zwischen RISC und CISC? Welche Rolle spielt der Compiler bei einer RISC-Architektur?
- 2.) Wie funktioniert Pipelining? Wozu dienen die Latches?
- 3.) Stellen Sie das Raum-Zeitdiagramm einer 4-stufigen Befehls-Pipeline für folgenden Kodeabschnitt auf: Load R1, (100); Load R2, (R3); Add R4, R5; Inc R3; Der Hauptspeicherzugriff soll dabei zur Vereinfachung nur einen Takt dauern.
- 4.) Was muß man beachten, wenn man für eine Befehls-Pipeline einen neuen Maschinenbefehl implementieren möchte?
- 5.) Was ist der Unterschied zwischen Befehls- und Funktions-(Arithmetischem) Pipelining?
- 6.) Was versteht man unter Superpipelining? Was sind deren Vor- und Nachteile?
- 7.) Wie groß ist der Speedup eines Programms von 30 Befehlen bei einer 4-stufigen Befehls-Pipeline in Verbindung mit einer 3-stufigen Arithmetik-Pipeline?
- 8.) Erläutern Sie die Begriffe Steuerflußkonflikt und Datenflußkonflikt. Erklären Sie anhand eines Beispiels den Ablauf in der Befehls-Pipeline im Falle eines Steuerflußkonflikts verursacht durch einen unbedingten Sprung.
- 9.) Was ist eine „blasenfreie Pipeline“?
- 10.) Welche Aufgaben hat die sog. Branch Unit in einem Prozessor? Wozu könnte Ihrer Meinung nach ein Sprungzielspeicher dienen?
- 11.) Geben Sie ein Beispiel für einen Steuerflußkonflikt bei Ausführung eines bedingten Sprungbefehls.
- 12.) Was versteht man unter einer RAW-Abhängigkeit und unter einem RAW-Konflikt. Geben Sie ein Beispiel dafür an.
- 13.) Welche Zusatzeinrichtungen im Prozessor erkennen einen RAW-Konflikt?

Übung Nr. 8

1. Erläutern Sie in folgendem Kode den Ablauf des bedingten Sprungs bei Sprungvorhersage. (Hinweis: Verwenden Sie ein Raum-Zeit-Diagramm und diskutieren Sie die Aktionen in jeder Pipeline-Phase einzeln). I1: JPZ(I2); I1+1: ADD R1, R2, R3; I2: ADD R4, R5, R6;
2. Was sind die Vor- und Nachteile einer Sprungvorhersage?
3. Was ist der Unterschied zwischen Sprungvorhersage und Sprungzielvorhersage?
4. Wodurch erhält man die maximale Beschleunigung in der Befehlsausführung bei Steuerflußkonflikten?
5. Erläutern Sie anhand desselben Kodes wie in Aufgabe 1 den Ablauf des bedingten Sprungs bei gleichzeitiger Sprung- und Sprungzielvorhersage ohne maximale Beschleunigung in der Befehlsausführung.
6. Wie kann man bei Aufgabe 5 die maximale Beschleunigung in der Befehlsausführung erreichen?
7. Wie groß ist der Taktverlust bei maximaler Beschleunigung in der Befehlsausführung für den Fall richtiger bzw. falscher Vorhersage? Warum?
8. Worin unterscheiden sich bedingte- bzw. unbedingte Sprünge hinsichtlich der Sprung/Sprungzielvorhersage?
9. Wozu dient ein Sprungzielspeicher? Wann genau gibt es einen Eintrag in diesem?
10. Welche Fließbandhemmnisse gibt es, die die Sprungzielvorhersage durch einen Sprungzielspeicher erschweren?
11. In der Praxis wird stets die Sprung- mit der Sprungzielvorhersage kombiniert. Warum?
12. Welche Faktoren bewirken, daß eine Pipeline nicht aus beliebig vielen Stufen bestehen kann?

Übung Nr. 9

1. Welche drei Arten von Konflikten können in der Befehls-Pipeline auftreten? Welche grundsätzlichen Mechanismen im Prozessor gibt es, um diese Konflikte zu vermindern?
2. Datenflußkonflikte beruhen auf Datenflußabhängigkeiten. Welche drei Typen von Datenflußabhängigkeiten sind zu unterscheiden?
3. Erläutern Sie RAW, WAR und WAW.
4. Nennen Sie je ein Kodebeispiel für den WAR- und WAW-Konflikt.
5. Können WAR- und WAW-Konflikte bei Pipelines auftreten, bei denen Befehle gemäß der Programmreihenfolge geholt und ihre Ergebnisse „in-order“ zurückgeschrieben werden?
6. Was bedeutet Ressourcen-Konflikt? Wie wird er erkannt und wie behoben?
7. Wozu dient das Scoreboard? Erläutern Sie das Prinzip des einfachen Scoreboards.
8. Wozu dient der Tomasulo-Mechanismus? Aus welchen Erweiterungen gegenüber dem Scoreboard der einfachen Ausbaustufe besteht er?
9. Welchen Aufbau haben die Register und die Reservierungsregister bei Tomasulo? Wozu dienen die einzelnen Felder?
10. Was sind bei Tomasulo die Voraussetzungen, daß ein Befehl nach dem Schema „in-order-issue, in-order-execute“ ausgeführt werden kann? Wie wird dabei auf RAW-Konflikte geachtet?
11. Erläutern Sie die Funktionsweise von Tomasulo in einer CPU mit 4 Registern, 2 Reservierungsregistern und Befehls-Pipelining anhand eines Beispiels.
12. Wozu dient der Common Data Bus? Wie sehen die Datenpfade in einer CPU mit Operand Forwarding aus? Was ist der Vorteil dieser Technik?