

Übungsaufgaben zur Vorlesung

Grundlagen der Informationsverarbeitung II

Sommersemester 2004

Aufgaben zu Kapitel 2 Schaltnetze

Betreuer:

Prof. Dr.-Ing. H. Schröder

Raum: P1-04-211

Tel.: 755-3190

Email: hartmut.schroeder@uni-dortmund.de

Dipl.-Ing. H. Lange

Raum: P1-04-210

Tel.: 755-2028

Email: hendrik.lange@uni-dortmund.de

Aktuelle Informationen zur Vorlesung gibt es unter:

http://www-kt.e-technik.uni-dortmund.de/m_siv/giv/giv_main.html

Aufgabe 2.1

Zeigen Sie, daß jede Boolesche Funktion mit NAND- bzw. NOR-Gattern dargestellt werden kann .

Aufgabe 2.2

Zeigen Sie im Venn-Diagramm die Gültigkeit der De Morgan'schen Gesetze

$$A \vee B = \overline{\overline{A} \wedge \overline{B}}$$

$$A \wedge B = \overline{\overline{A} \vee \overline{B}}$$

Erweitern Sie die Gesetze auf N Variablen.

Aufgabe 2.3

Beweisen Sie mit den Axiomen und den abgeleiteten Sätzen der Booleschen Algebra :

$$\overline{A} \vee A\overline{B} = \overline{B} \vee \overline{A}B$$

Aufgabe 2.4

Gegeben sei folgende Funktion :

$$F = (\overline{a \wedge \overline{b} \wedge \overline{c}}) \wedge \overline{a} \wedge (b \wedge d)$$

Entwerfen Sie ein Schaltnetz, das obige Funktion erfüllt, unter ausschließlicher Verwendung von NAND-Gattern mit jeweils zwei Eingängen .

Aufgabe 2.5

Gegeben sei folgende Funktion:

$$\overline{F} = (\overline{A} \vee \overline{B} \vee C \vee D) \wedge (B \vee C \vee D) \wedge (A \vee B \vee D) \wedge (A \vee \overline{C}) \wedge (A \vee \overline{B} \vee C \vee D) \wedge (\overline{A} \vee \overline{C} \vee \overline{D})$$

Bilden Sie die Funktion in disjunktiver Form .

- Stellen Sie die zugehörige Wertetabelle auf .
- Geben Sie die Funktion in disjunktiver Normalform und konjunktiver Normalform an .
- Vereinfachen Sie die in disjunktiver Normalform gegebene Funktion mit Hilfe der Booleschen Algebra .
- Realisieren Sie die vereinfachte Funktion unter ausschließlicher Verwendung von NOR-Gattern .

Aufgabe 2.6

Gegeben seien drei Schalter A, B und C und eine Lampe F. F soll genau dann aufleuchten, wenn mindestens zwei der drei Schalter geschlossen sind. Geben Sie an:

- die Wertetabelle mit $F = 1$ = Lampe leuchtet.
- die Boolesche Funktion in disjunktiver Normalform für das Leuchten der Lampe. Versuchen Sie, diese Funktion mit Hilfe von Gesetzen der Booleschen Algebra zu vereinfachen.
- eine technische Realisierung für F, die ausschließlich NAND-Gatter verwendet.

Aufgabe 2.7 (Klausur F89)

Ein Alarmsystem hat 4 Meldesensoren mit zugehörigen logischen Variablen a,b,c,d. Das Alarmsystem gibt Alarm, wenn mindestens 3 Sensoren ansprechen. Die Sensoren a und c können nicht gemeinsam Alarm melden.

- Ermitteln Sie die Wahrheitstabelle und geben Sie die disjunktive und konjunktive Normalform an (DNF, KNF).
- Minimieren Sie die DNF mit Hilfe des KV-Diagrammes. Geben Sie die minimale disjunktive Form an.
- Entwickeln Sie aus der minimalen disjunktiven Form ein Schaltnetz aus NAND-Gattern, und geben Sie den zugehörigen logischen Ausdruck an.

Aufgabe 2.8

Zum Zahlvergleich werden Komparatoren eingesetzt. Die Vergleichskriterien sind $A=B$, $A>B$ und $A<B$.

- Stellen Sie die Wahrheitstabelle eines 3-Bit Dualzahl-Komparators auf.
- Tragen Sie die logischen Funktionen in das KV-Diagramm ein, und entnehmen Sie die minimale disjunktive Form für die Funktionen aus dem KV-Diagramm.
- Realisieren Sie die Funktionen unter ausschließlicher Verwendung von NAND-Gattern.
- Es sind fertige 4-Bit Dualzahl-Komparatorbausteine vorhanden (z.B. SN 7485). Realisieren Sie mit Hilfe dieses 4-Bit Dualzahl-Komparatorbausteins einen 8-Bitt Dualzahlenkomparator.

Aufgabe 2.9 (Klausur F90)

In einem digitalen System wird ein Schaltnetz benötigt, das im Zweierkomplement codierte Zahlen $A=\{a_3,a_2,a_1,a_0\}$ in den Absolutbetrag $B=\{b_3,b_2,b_1,b_0\}$ umsetzt. Für den Zahlenbereich von A gilt:

$$-6 \leq A \leq 6$$

- a) Stellen Sie die Wahrheitstabelle dieses Schaltnetzes auf.
- b) Ermitteln Sie mit Hilfe von KV-Diagrammen die minimalen disjunktiven Formen für die Ausgangsvariablen.
- c) Entwickeln Sie für das Betragsbit b_2 ein Schaltnetz aus NAND-Gattern (mit 2 oder mehr Eingängen) und geben Sie den zugehörigen logischen Ausdruck an.

Aufgabe 2.10

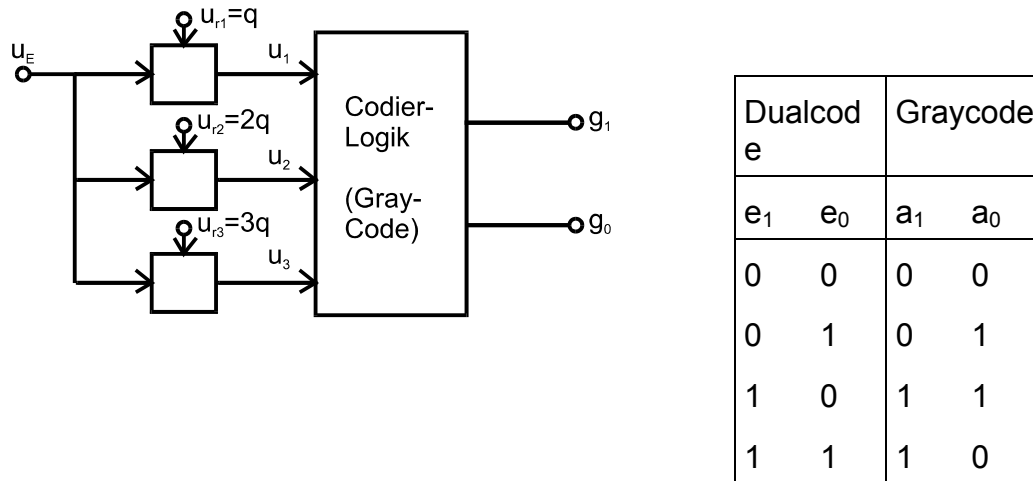
Der Gray-Code hat die Eigenschaft, daß sich die Codierungen zweier aufeinanderfolgender Ziffern nur genau an einer Stelle unterscheiden (s. Tabelle).

- a) Stellen Sie die Wahrheitstabelle eines vierstelligen Dual-Gray-Kodierers auf.
- b) Entwerfen Sie unter Verwendung des Karnaugh-Veith-Verfahrens ein möglichst einfaches Schaltnetz zur Realisierung dieser Dual-Gray-Kodierers.

Dezimal - Code	Gray-Code
0	0000
1	0001
2	0011
3	0010
4	0110
5	0111
6	0101
7	0100
8	1100
9	1101
10	1111
11	1110
12	1010
13	1011
14	1001
15	1000

Aufgabe 2.11 (Klausur H89)

Für hohe Abtastfrequenzen werden parallele A/D-Converter verwendet. Im folgenden Bild ist das Blockschaltbild eines 2-Bit A/D-Wandlers dargestellt.



Die Komparatoren K_1 , K_2 , K_3 haben folgende Schalteigenschaft

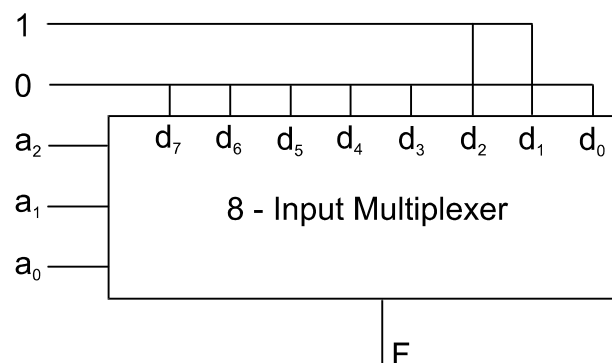
$$u_i = \begin{cases} 1 & \text{für } u_E - u_{ri} \geq 0 \\ 0 & \text{für } u_E - u_{ri} < 0 \end{cases} \quad i = 1, 2, 3$$

Mit einer geeigneten Codier-Logik wird dann die Komparatorspannung U_i in den Graycode umgesetzt (s. obige Tabelle).

- Stellen Sie die Wahrheitstabelle für eine 2Bit Codier-Logik auf.
- Ermitteln Sie mit Hilfe von KV-Diagrammen die minimalen disjunktiven Formen für g_0 und g_1 .
- Entwickeln Sie für g_0 ein Schaltnetz aus NOR-Gattern und geben Sie den zugehörigen logischen Ausdruck an.

Aufgabe 2.12

Mit Multiplexern können logische Funktionen direkt aus der Wahrheitstabelle realisiert werden. Dabei werden die Adresseingänge der Multiplexers als Logische Variablen benutzt und die Dateneingänge werden direkt mit 0 bzw. 1 verbunden. Im folgenden Bild ist ein Multiplexer mit 8 Dateneingängen benutzt, um eine bestimmte Funktion zu erzeugen .



- Stellen Sie die dazugehörige Wahrheitstabelle auf und geben Sie die logische Funktion in der DNF an .
- Verbinden Sie die Dateneingänge so, daß folgende Funktion realisiert wird:

$$F = AB \vee \overline{A}\overline{B} \vee AC \vee BC$$

Aufgabe 2.13

Realisieren Sie folgende logische Funktion in möglichst einfacher Form, unter ausschließlicher Verwendung von NAND-Gattern .

$$F = M_0^i \vee M_1^i \vee M_3^i \vee M_5^i \vee M_6^i \vee M_9^i \vee M_{10}^i \vee M_{12}^i \vee M_{15}^i$$

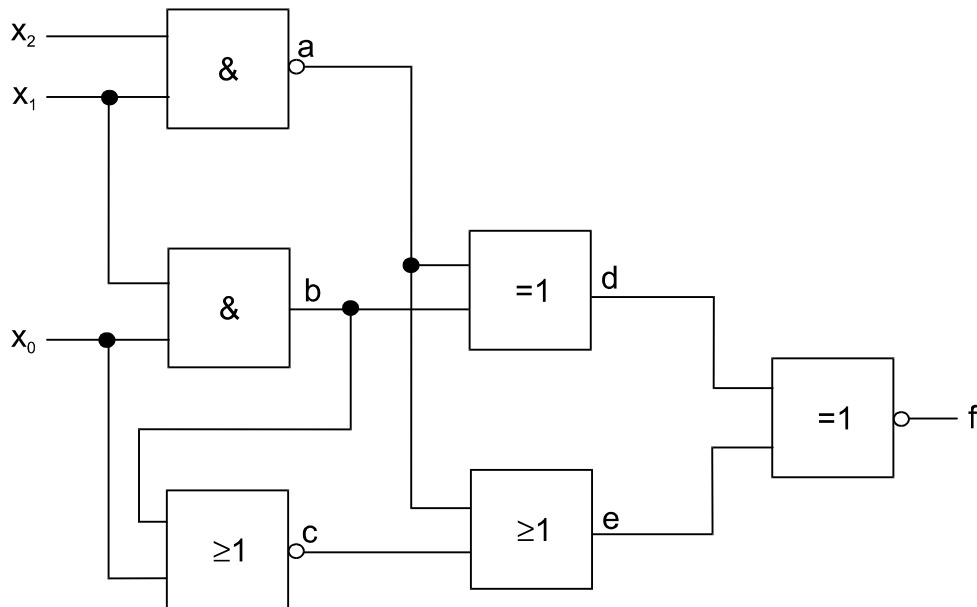
Realisieren Sie die Funktion mit einem 8-Dateneingang Multiplexer .

Aufgabe 2.14

Realisieren Sie mit Hilfe von 8-Dateneingang-Multiplexerbausteinen (z.B. SN 74151) und einem 1 aus 4 Dekoder einen 32-Dateneingangs-Multiplexer (Hinweis: Der Multiplexer hat einen Enable-Eingang) .

Aufgabe 2.15 (Klausur H90)

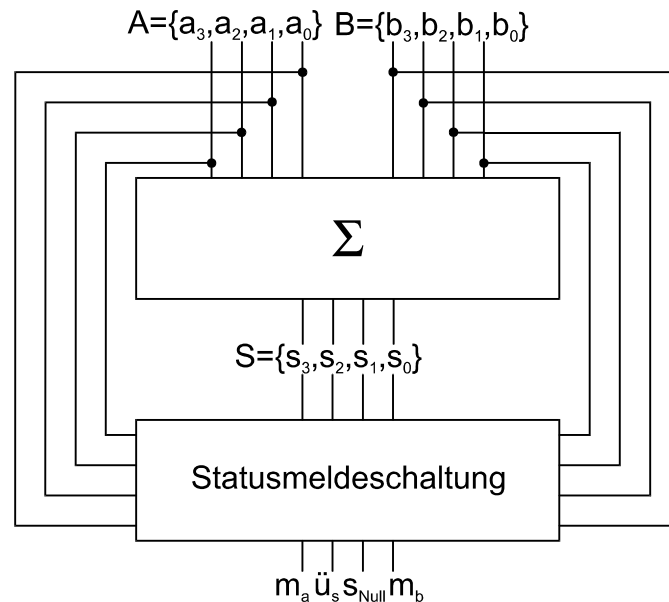
Gegeben sei folgendes Schaltnetz :



- Bestimmen Sie die Schaltfunktionen an den Ausgängen der Gatter a - f in Abhängigkeit von den jeweiligen Gattereingangsvariablen .
- Stellen Sie die Wahrheitstabelle für die Schaltfunktion am Ausgang des Gatters f in Abhängigkeit von den Eingangsvariablen x_2 , x_1 , x_0 auf .
- Ermitteln Sie mithilfe eines KV-Diagramms die Schaltfunktion f in der minimalen disjunktiven Form .
- Entwickeln Sie für die Schaltfunktion f ein Schaltnetz aus NAND-Gattern (mit 2 oder mehr Eingängen) und geben Sie den zugehörigen logischen Ausdruck an .

Aufgabe 2.16 (Klausur F92)

In Verbindung mit einem Addierwerk (s. Bild) soll eine Statusmeldeschaltung als kombinatorisches Schaltnetz entworfen werden .



Die verwendeten Zahlen A, B, und S des Addierwerks liegen sämtlich im Zweierkomplement vor . (a_3, b_3, s_3 : Vorzeichenbits)

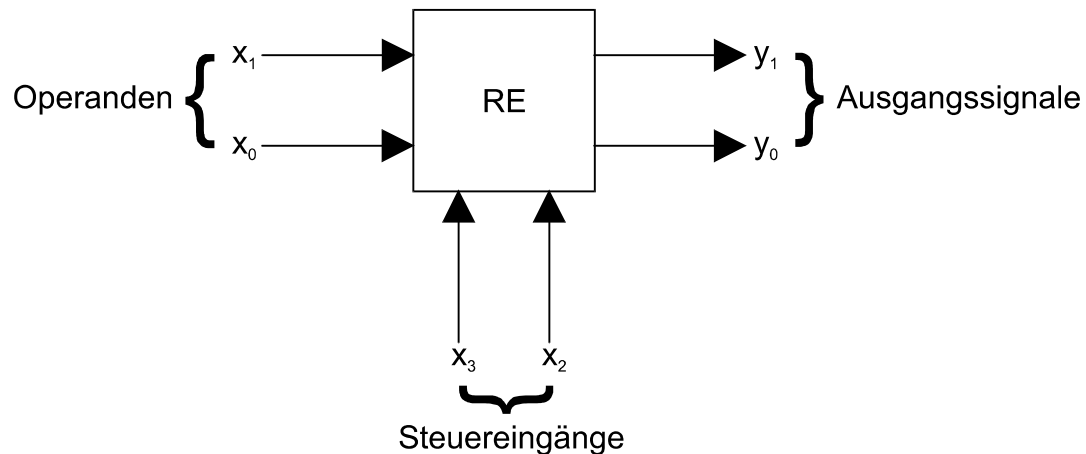
Die **Maximalwertanzeigen** $m_a(a_3, a_2, a_1, a_0)$ und $m_b(b_3, b_2, b_1, b_0)$ zeigen bei Eintreten ihrer jeweiligen positiven und negativen Maximalwerte eine logische 1 .

Die **Nullanzeige** $s_{Null}(s_3, s_2, s_1, s_0)$ ist logisch 1 für einen arithmetischen Summenwert = 0 .

- Geben Sie für m_a , m_b , s_{Null} (ggf. minimale) disjunktive Formen und geeignete Gatterschaltungen aus UND, ODER und Negation an .
- Die **Gesamtüberlaufanzeige** $\ddot{u}_s(a_3, b_3, s_3)$ ist bei Eintreten eines Summenüberlaufs logisch 1. Geben Sie Wahrheitstabelle, KV-Diagramm, (ggf. minimale) disjunktive Form und eine geeignete Gatterschaltung aus UND, ODER und Negation an .

Aufgabe 2.17

Ein Rechelement für Summenbildung und ausgewählte logische Operationen soll entworfen werden .



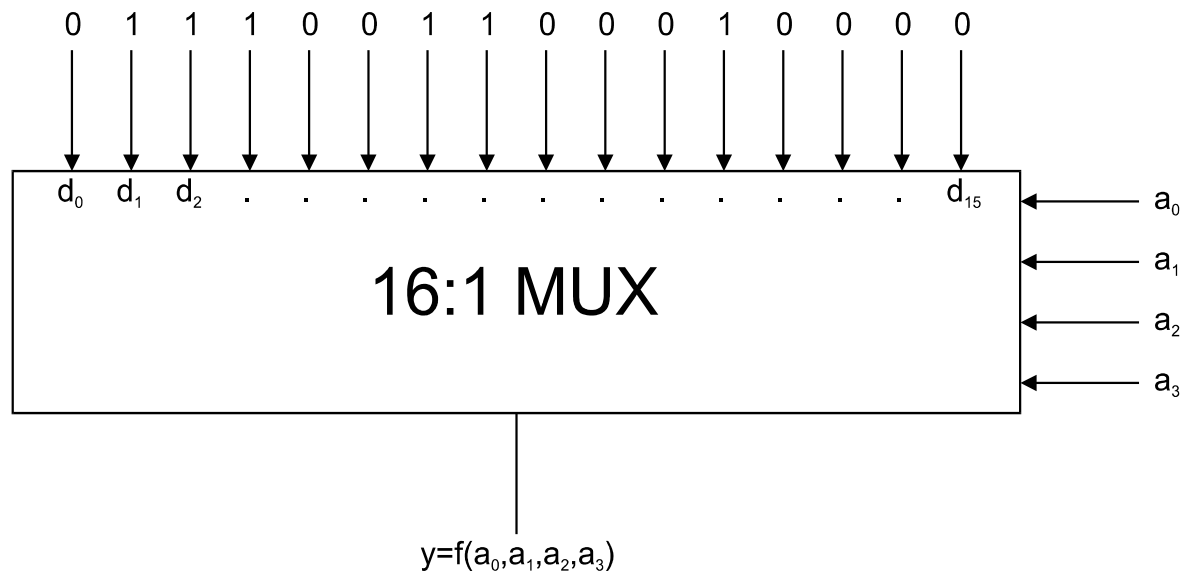
Dabei sollen für die verschiedenen Steuervariablenkombinationen Operationen, entsprechend nachfolgender Tabelle, ausgeführt werden :

x_3	x_2	Operationen	
0	0	$y_0 = x_0 + x_1$ (Summe)	y_1 : Übertrag
0	1	$y_0 = \bar{x}_0$	$y_1 = \bar{x}_1$
1	0	$y_0 = x_0 \wedge x_1$	$y_1 = x_0 \vee x_1$

- Ermitteln Sie die vollständige Wahrheitstabelle .
- Geben Sie disjunktive Normalformen (DNF) für y_0 und y_1 an . Ermitteln Sie mit Hilfe der KV-Diagrammtechnik die minimalen disjunktiven Formen für y_0 und y_1 .
- Geben Sie eine Gatterrealisierung für y_1 aus UND, ODER und Negation an.

Aufgabe 2.18 (Klausur F94)

Ein Schaltnetz wird durch einen 16:1 Multiplexer realisiert (s. Skizze):



- Stellen Sie die Wahrheitstabelle für dieses Schaltnetz auf und geben Sie die disjunktive Normalform an .
- Ermitteln Sie mithilfe des KV-Diagramms die minimale disjunktive Form und skizzieren Sie eine Realisierung als PAL-Struktur .
- Realisieren Sie das Schaltnetz mithilfe eines 8:1 Multiplexers . Verwenden Sie die Variable a_0 bzw. $\bar{a}_0$ an den MUX-Eingängen d_i . Geben Sie die durch diesen 8:1 MUX realisierte vollständige Boolesche Funktion an .
- Welche logische Funktion $f(a_0, a_1, a_2, a_3)$ wird hier realisiert ?

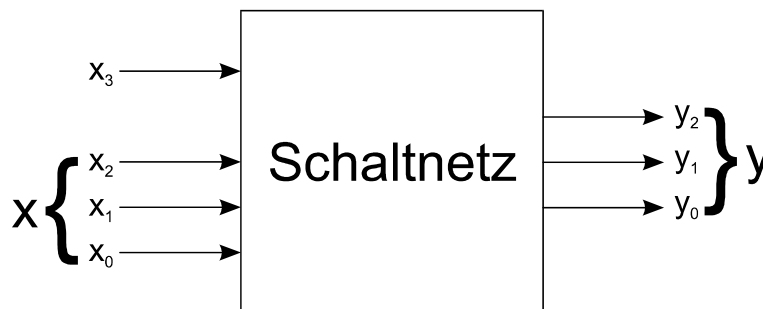
Aufgabe 2.19 (Klausur H94)

Es soll ein „Paritybit“-Generator entwickelt werden, der ein „ODD“-Paritybit y für vierstellige Dualzahlen $X=\{x_3, x_2, x_1, x_0\}$ (Betrag ohne Vorzeichen) erzeugt . ODD-Parity bedeutet, daß das Paritybit dann auf 1 gesetzt wird, wenn die Anzahl von 1-Bits im Datenwort X gerade oder 0 ist . (Somit ist die Quersumme über alle Bits einschließlich des Parity-Bits immer ungerade .)

- Geben Sie die Wahrheitstabelle an .
- Ermitteln Sie die DNF (disjunktive Normalform) .
- Skizzieren Sie das zugehörige KV-Diagramm . Läßt sich die Funktion minimieren? (Begründung !)
- Realisieren Sie den Generator mithilfe eines 16:1 Multiplexers (Schaltung).
- Vereinfachen Sie die Schaltung, indem Sie nur einen 8:1 Multiplexer verwenden (Schaltung und kurze Funktionsbegründung) . Verwenden Sie die Variable x_0 bzw. $\bar{x}_0$ an den Dateneingängen des Multiplexers .

Aufgabe 2.20 (Klausur F95)

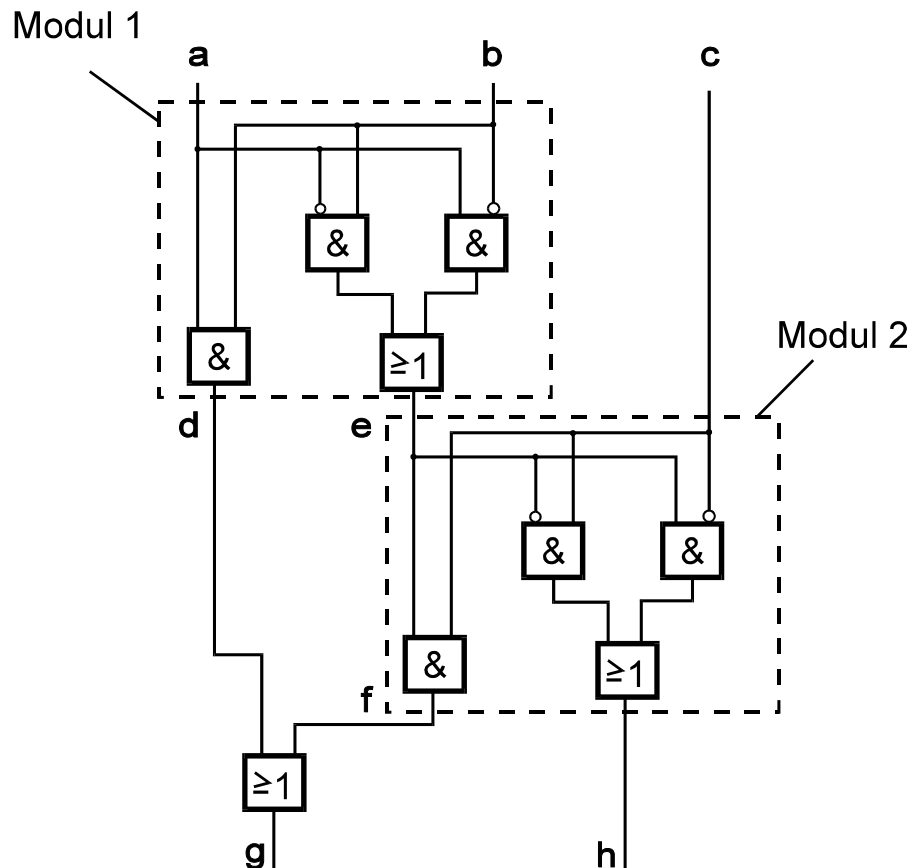
Es soll ein Schaltnetz entwickelt werden, das in Abhängigkeit einer Steuervariable x_3 im Betrag-Vorzeichen-Format codierte dreistellige Dualzahlen $x=\{x_2,x_1,x_0\}$ in dreistellige Dualzahlen $y=\{y_2,y_1,y_0\}$ umwandelt, die für $x_3=0$ im Zweierkomplement-Format und für $x_3=1$ im Offset-Binary-Format dargestellt sind .



- a) Welche Wertebereiche lassen sich mit einer dreistelligen Dualzahl im Betrag-Vorzeichen-, im Zweierkomplement- und im Offset-Binary_format darstellen ?
- b) Geben Sie die Wahrheitstabelle für das obige Schaltnetz an .
- c) Ermitteln Sie die DNF (disjunktive Normalform) für die Variablen y_2, y_1 und y_0 .
- d) Geben Sie die minimale DF nach einer Minimierung mit dem KV-Diagramm für die Variablen y_2, y_1 und y_0 an .
- e) Realisieren Sie die minimalen Formen von y_2, y_1 und y_0 mit einem PLA .
- f) Geben Sie eine alternative Realisierung an, bei der zuerst die Zahl x vom Betrag-Vorzeichen-Format mit einem ersten Schaltnetz S (Blockdarstellung) in das Zweierkomplement-Format gewandelt wird und nachfolgend mit einer Gatterschaltung in Abhängigkeit von x_3 die Umwandlung in das Offset-Binary-Format erfolgt .

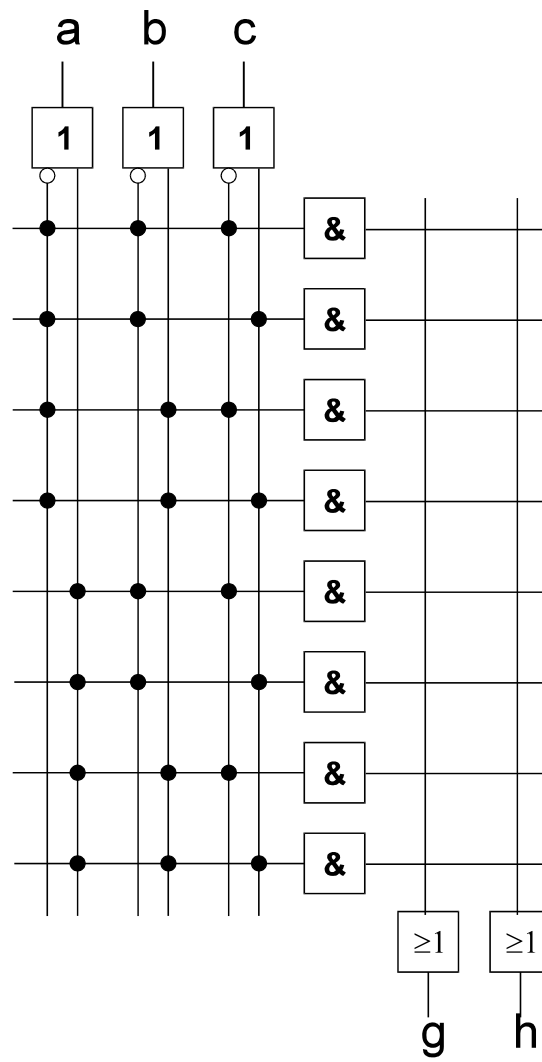
Aufgabe 2.21

Das folgende Schaltnetz besteht aus zwei identischen Modulen und einem weiteren ODER-Gatter.



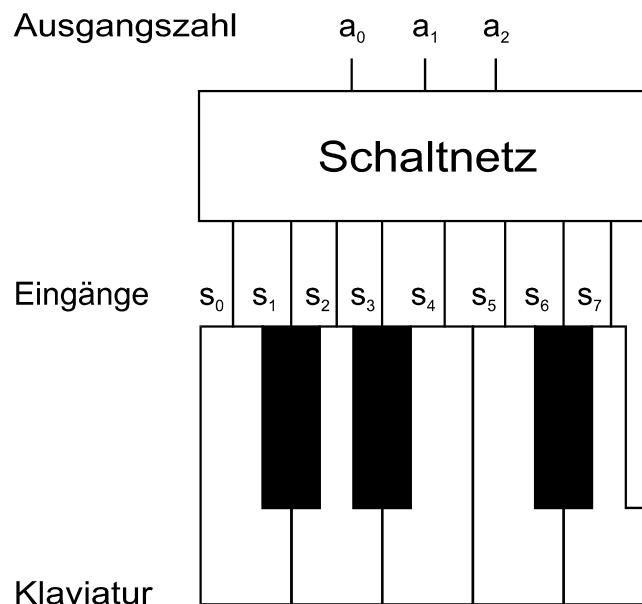
- Stellen Sie eine Wahrheitstabelle für die Variablen **a - h** auf.
- Geben Sie die Booleschen Gleichungen für die Variablen **d - h** sowohl als DNF als auch in minimierter Form an.
- Drücken Sie die Ausgangsvariablen **g** und **h** in Abhängigkeit der Zwischenergebnisse **d - f** aus.
- Welche weiteren Minimierungsmöglichkeiten für die Gleichungen **a - f** außer denen, die unmittelbar aus einem KV-Diagramm abzulesen sind, gibt es? Geben Sie diese für die Gleichungen für **e** und **h** an.
- Welche Funktion hat dieses Schaltnetz?
- Realisieren Sie die Gleichungen für **g** und **h** mittels eines PROMs.
- Warum ist hier ein PROM eine geeignetere Struktur als z.B. ein PAL?

PROM für Aufgabenteil h)



Aufgabe 2.22

Für die Ansteuerung eines monophonen (einstimmigen) Keyboards über eine Klaviatur soll ein Schaltnetz entworfen werden. Jeder Taste s soll dabei die Dualzahl $\{a_2 a_1 a_0\}$ (a_0 = LSB) zugeordnet werden. $s_i = 1$ bedeutet, daß Taste i gedrückt wird. Werden mehrere Tasten gleichzeitig betätigt, so soll der Wert der niedrigsten Taste ausgegeben werden. Wird keine Taste gedrückt, soll der Wert 0 ausgegeben werden. Es werden zunächst insgesamt 8 Tasten betrachtet.

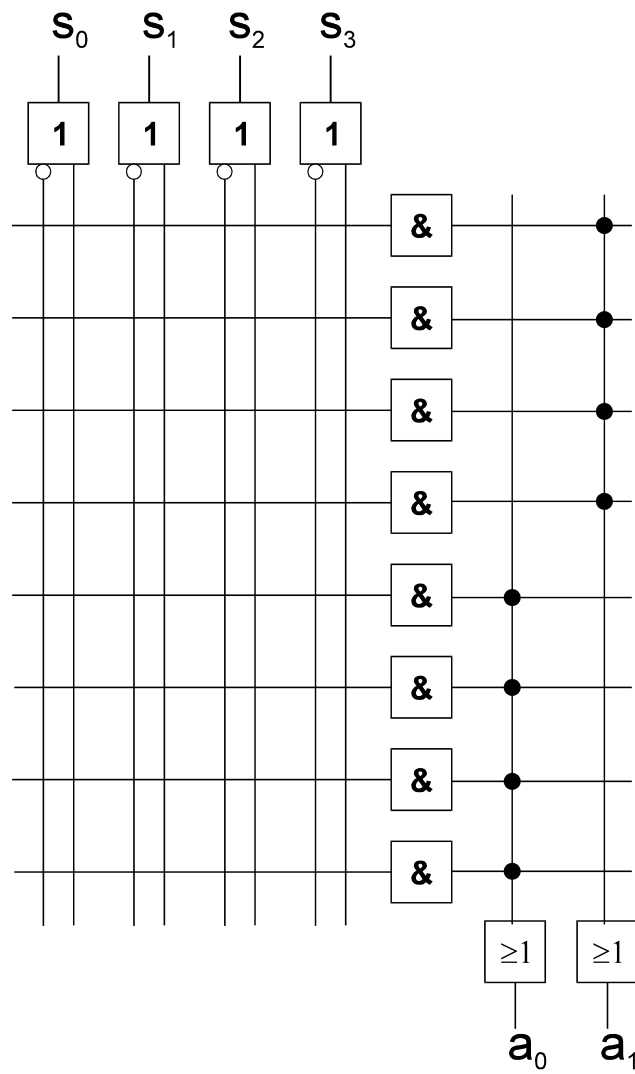


- Welche Besonderheit charakterisiert die dem Schaltnetz zugehörige Wahrheitstabelle?
- Wie heißt das Bauelement, das genau die für dieses Schaltnetz erforderliche Funktion erfüllt?
- Die Funktion des Schaltnetzes werde insoweit geändert, daß bei gleichzeitigem Betätigen mehrerer Tasten der Wert der höchsten Taste ausgegeben wird. Geben Sie die Wahrheitstabelle an, oder beschreiben Sie, wie sie aussieht.

Es sollen im Folgenden nur noch die Tasten s_0 bis s_3 und damit die Ausgänge a_0 und a_1 betrachtet werden, wobei die höchste Taste Priorität hat:

- Geben Sie die minimalen Funktionen für a_0 und a_1 an.
- Tragen Sie die erforderlichen Verbindungen für a_0 und a_1 in die UND-Matrix des PALs ein.
- Warum bietet sich ein PAL im Gegensatz zu einem PROM zur Realisierung dieser logischen Funktion an?

PAL für Aufgabenteil e)



Aufgabe 2.23

Das Minimierungsverfahren nach Quine-McCluskey basiert auf der tabellengestützten Vereinfachung von Termen, die sich nur in einer Variablen unterscheiden. Angewendet wird dabei die systematische Suche nach *Primtermen*, die sich nicht weiter vereinfachen lassen und die anschließende Ermittlung *wesentlicher* Primterme (s. Skriptum).

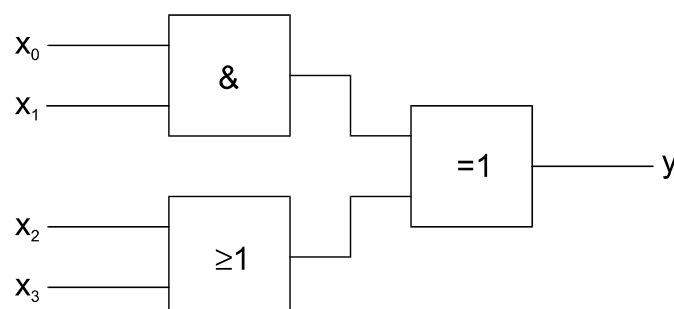
Gegeben ist die Wahrheitstabelle einer fünfstelligen Booleschen Funktion, deren Funktionswert bei den angegebenen Belegungen 1 und sonst 0 ist. Diese Funktion soll mit dem Verfahren nach Quine-McCluskey minimiert werden.

dezimales Äquivalent		x_4	x_3	x_2	x_1	x_0		y
8		0	1	0	0	0		1
9		0	1	0	0	1		1
24		1	1	0	0	0		1
25		1	1	0	0	1		1

- Bilden Sie eine Mintermtabelle, in der nach Anzahl der enthaltenen Einsen gruppiert wird. Bilden Sie in dieser Tabelle *alle* möglichen Vereinfachungen bis nur noch Primterme enthalten sind.
- Gibt es unwesentliche, durch Überdeckungen überflüssige Primterme, die weggelassen werden können? (Begründung!)
- Geben Sie die sich hieraus ergebende Boolesche Funktion an.
- Tragen Sie in ein KV-Diagramm mit 5 Variablen die gegebene Boolesche Funktion ein, und geben Sie dort die zum obigen Tabellenverfahren äquivalenten Minimierungsschritte an.

Aufgabe 2.24

Gegeben sei folgende Gatterschaltung:

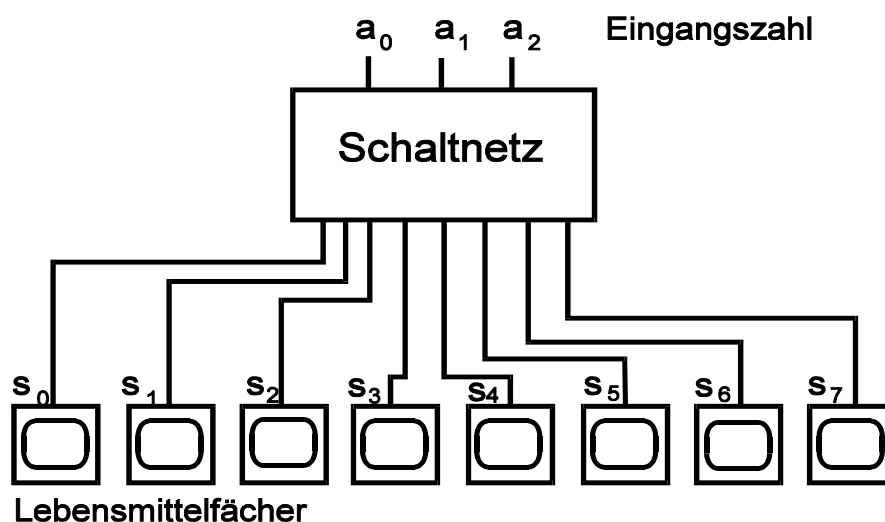


- Geben Sie die vollständige Wahrheitstabelle an .
- Geben Sie die Funktion $y = f(x_3, x_2, x_1, x_0)$ in der minimalen disjunktiven Form an .
- Verwenden Sie zur Minimierung das beigefügte KV-Diagramm .
- Realisieren Sie die gleiche Boolesche Funktion $y = f(x_3, x_2, x_1, x_0)$ mit einem 8:1 Multiplexer .

Aufgabe 2.25 (Klausur H95)

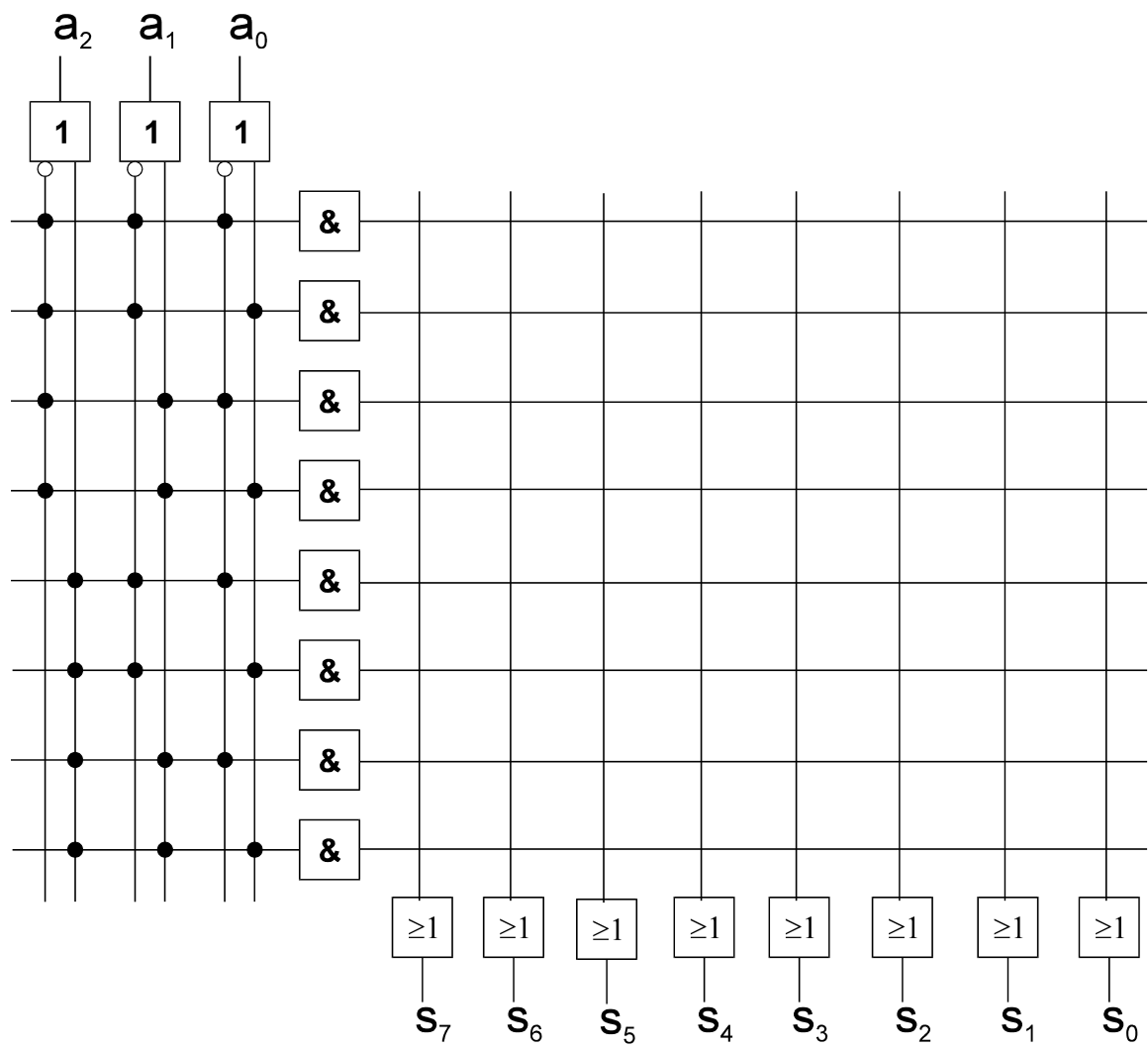
Bei einem Lebensmittelautomaten mit 8 Fächern kann durch Eingabe einer Zahl $\{a_0, a_1, a_2\}$ zwischen 0 und 7 jeweils das Steuersignal zum Öffnen des entsprechenden Faches gegeben werden.

($S_i = 1$ bedeutet Öffnen des Faches i)



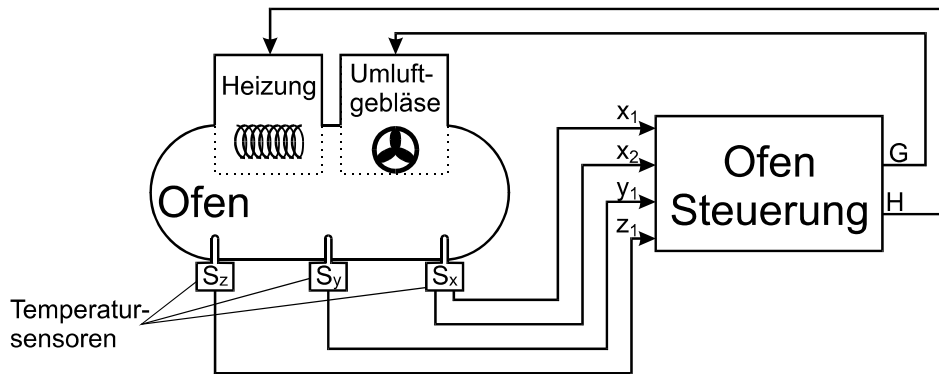
- Welche Besonderheit charakterisiert die zugehörige Wahrheitstabelle, die dieses Schaltnetz beschreibt ?
- Welches Bauelement erfüllt genau die für dieses Schaltnetz erforderliche Funktion ?
- Die Funktion des Schaltnetzes werde insoweit geändert, daß sich immer alle Fächer mit einer Nummer kleiner oder gleich der eingegebenen Zahl öffnen, z.B.: Eingangszahl = 5 $\Rightarrow$ Es öffnen sich die Fächer $S_0 - S_5$. Geben Sie die Wahrheitstabelle an, oder beschreiben Sie wie sie aussieht.
- Geben Sie die minimalen Funktionen für S_5 und S_1 aus Teil c) an.
- Warum bietet sich bei einer Realisierung der logischen Funktionen für die S_i aus Teil c) ein PROM als günstige Struktur an ?
- Sensoren an den einzelnen Fächern sollen die Zustände (offen / geschlossen) abgreifen. Es soll ermittelt werden, welches das Fach mit der höchsten Zahl ist, das geöffnet ist. Welches Bauelement bietet sich nun zur Realisierung dieser logischen Funktion an?

PROM für Aufgabenteil e)



Aufgabe 2.26 (KlausurF97)

Gegeben sei der folgende industrielle Ofen, bestehend aus einer Brennkammer mit Heizung und Umluftgebläse (zum Ausgleich von Temperaturunterschieden), sowie 3 Temperatursensoren, von denen zwei die Einhaltung einer Mindesttemperatur kontrollieren, und der dritte zusätzlich noch das Überschreiten einer oberen Temperaturgrenze signalisieren kann.



Die Sensoren S_x, S_y und S_z liefern abhängig von der Temperatur folgende Werte:

$(x_1, x_2) = \begin{cases} (1,0) & \text{falls Temperatur am Sensor } S_x \text{ zu niedrig} \\ (0,0) & \text{falls Temperatur am Sensor } S_x \text{ richtig} \\ (0,1) & \text{falls Temperatur am Sensor } S_x \text{ zu hoch} \end{cases}$	
$y_1 = \begin{cases} 1 & \text{falls Temperatur bei } S_y \text{ zu niedrig} \\ 0 & \text{falls Temperatur bei } S_y \text{ richtig} \end{cases}$	$z_1 = \begin{cases} 1 & \text{falls Temperatur bei } S_z \text{ zu niedrig} \\ 0 & \text{falls Temperatur bei } S_z \text{ richtig} \end{cases}$

Für diesen Ofen ist ein Schaltnetz zu entwerfen, das mit Hilfe der Sensorinformation die Heizung und das Umluftgebläse steuert.

Das Einschalten von Heizung und Gebläse soll dabei nach den folgenden Regeln geschehen:

- Heizung ein ($H=1$), - wenn mindestens zwei Sensoren eine zu niedrige Temperatur messen und S_x nicht gleichzeitig eine zu hohe Temperatur signalisiert.
- Heizung aus ($H=0$) für alle anderen auftretenden Fälle.
- Gebläse einschalten ($G=1$),
 - wenn Sensor S_x eine zu hohe Temperatur signalisiert
 - wenn sowohl S_y als auch S_z eine zu niedrige und S_x gleichzeitig richtige Temperatur signalisieren
 - wenn S_x eine zu niedrige Temperatur und gleichzeitig sowohl S_y als auch S_z richtige Temperatur signalisieren.
- Gebläse aus ($G=0$) für alle anderen auftretenden Fälle.

- a) Stellen Sie die Wahrheitstabelle für die Steuerung auf. Gibt es „don't care“-Fälle?
- b) Geben Sie die Booleschen Gleichungen für die Variablen **G** und **H** sowohl als DNF als auch in minimierter Form an (Minimierung mit KV-Diagramm)
- c) Realisieren Sie die Funktion für **H** unter ausschließlicher Verwendung von **NOR**-Gattern mit beliebig vielen Eingängen. Bringen sie dazu zunächst die boolesche Gleichung für **H** in eine entsprechende Form

Aufgabe 2.27

Das Minimierungsverfahren nach Quine-McCluskey basiert auf der tabellengestützten Vereinfachung von Termen, die sich nur in einer Variablen unterscheiden. Angewendet wird dabei die systematische Suche nach Primtermen, die sich nicht weiter vereinfachen lassen, und die anschließende Ermittlung wesentlicher Primterme (s. Skriptum).

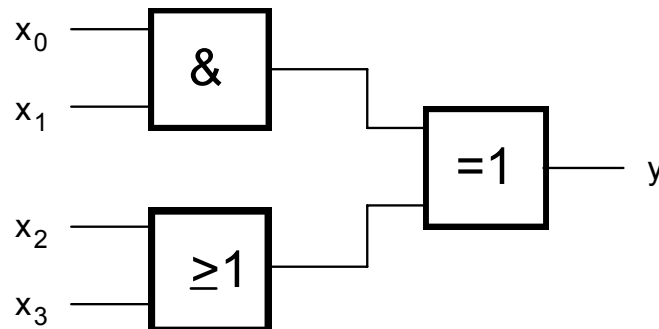
Gegeben ist die Wahrheitstabelle einer fünfstelligen Booleschen Funktion, deren Funktionswert bei den angegebenen Belegungen 1 und **sonst 0 ist**. Diese Funktion soll mit dem Verfahren nach Quine-McCluskey minimiert werden.

dezimales Äquivalent		x_4	x_3	x_2	x_1	x_0		y
0		0	0	0	0	0		1
2		0	0	0	1	0		1
4		0	0	1	0	0		1
6		0	0	1	1	0		1
16		1	0	0	0	0		1
18		1	0	0	1	0		1
20		1	0	1	0	0		1
22		1	0	1	1	0		1

- Bilden Sie eine Mintermtabelle, in der nach Anzahl der enthaltenen Einsen gruppiert wird. Bilden Sie in dieser Tabelle **alle** möglichen Vereinfachungen bis nur noch Primterme enthalten sind.
- Gibt es unwesentliche durch Überdeckungen überflüssiger Primterme, die weggelassen werden können ? (Begründung!)
- Geben Sie die sich hieraus ergebende Boolesche Funktion an.
- Überprüfen Sie das obige Ergebnis durch Minimierung im KV-Diagramm.

Aufgabe 2.28 (Klausur H95)

Gegeben sei folgende Gatterschaltung:



- Geben Sie die vollständige Wahrheitstabelle an.
- Geben Sie die Funktion $y = f(x_3, x_2, x_1, x_0)$ in der minimalen disjunktiven Form an. Verwenden Sie zur Minimierung das beigefügte KV-Diagramm.
- Realisieren Sie die gleiche Boolesche Funktion $y = f(x_3, x_2, x_1, x_0)$ mit einem 8:1 Multiplexer.

Aufgabe 2.29 (Klausur H95)

Das Minimierungsverfahren nach Quine-McCluskey basiert auf der tabellengestützten Vereinfachung von Termen, die sich nur in einer Variablen unterscheiden. Angewendet wird dabei die systematische Suche nach *Primtermen*, die sich nicht weiter vereinfachen lassen und die anschließende Ermittlung *wesentlicher* Primterme (s. Skriptum).

Gegeben ist die Wahrheitstabelle einer fünfstelligen Booleschen Funktion, deren Funktionswert bei den angegebenen Belegungen 1 und sonst 0 ist. Diese Funktion soll mit dem Verfahren nach Quine-McCluskey minimiert werden.

dezimales Äquivalent	x_4	x_3	x_2	x_1	x_0		y
4	0	0	1	0	0		1
5	0	0	1	0	1		1
13	0	1	1	0	1		1
15	0	1	1	1	1		1

- a) Bilden Sie eine Mintermtabelle, in der nach Anzahl der enthaltenen Einsen gruppiert wird. Bilden Sie in dieser Tabelle alle möglichen Vereinfachungen bis nur noch Primterme enthalten sind.
- b) Ermitteln Sie in einer zweiten Tabelle die wesentlichen Primterme, so daß nicht notwendige Primterme erkennbar sind und weggelassen werden können. (Begründung!)
- c) Geben Sie die sich hieraus ergebende Boolesche Funktion an.
- d) Geben Sie auch zu den unter 5.1 durchgeführten einzelnen Vereinfachungen auch die entsprechenden algebraischen Vereinfachungsschritte an.

Aufgabe 2.30 (Klausur H96)

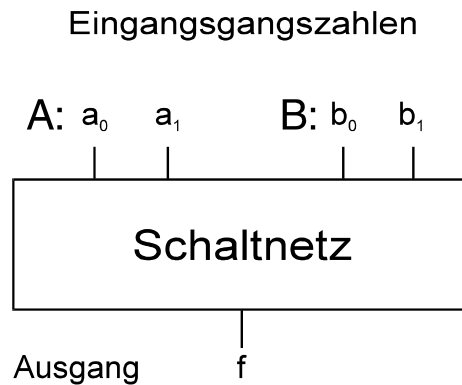
Zur Kontrolle einer Sicherheitsschleuse ist es notwendig zu überprüfen, ob mehr als eine Tür der Schleuse geöffnet ist. Das zu realisierende Schaltnetz hat 3 Eingänge, die den Zustand der Türen repräsentieren (0=geschlossen, 1=open). Der Ausgang a soll auf 1 gesetzt werden, wenn genau 1 Tür geöffnet ist. Der Ausgang b soll auf 1 gesetzt werden, wenn mindestens 2 Türen geöffnet sind. Aus technischen Gründen lassen sich Tür 0 und Tür 1 nicht gleichzeitig öffnen.



- a) Stellen Sie die Wahrheitstabelle für das Schaltnetz auf.
- b) Geben Sie die Booleschen Gleichungen für die Variablen a und b sowohl als DNF als auch in minimierter Form an (Minimierung mit KV-Diagramm).
- c) Realisieren Sie das Schaltnetz unter ausschließlicher Verwendung von NAND-Gattern mit beliebig vielen Eingängen. Bringen Sie dazu zunächst die booleschen Gleichungen für a und b in eine entsprechende Form.
- d) Realisieren Sie die Gleichungen für a und b mittels eines PROMs.

Aufgabe 2.31 (Klausur H96)

Für einen Glücksspielautomaten soll ein Schaltnetz entworfen werden. Es hat die Funktion bei Übereinstimmung der beiden Dualzahlen A und B den Ausgang f auf 1 zu setzen.



- a) Stellen Sie die Wahrheitstabelle auf.
- b) Wie heißt das Bauelement, das genau die für dieses Schaltnetz erforderliche Funktion erfüllt ?
- c) Läßt sich die boolsche Funktion für f minimieren? Begründung !
- d) Realisieren Sie das Schaltnetz mit einem 8:1-Multiplexer.

Es soll sich im Folgenden die Funktion des Schaltnetzes insofern ändern, daß der Ausgang f auf 1 gesetzt wird wenn $A < B$ ist:

- e) Geben Sie die minimale Funktion für f an.
- f) Tragen Sie die erforderlichen Verbindungen für f in die UND-Matrix eines PALs ein.

Aufgabe 2.32 (Klausur H96)

Das Minimierungsverfahren nach Quine-McCluskey basiert auf der tabellengestützten Vereinfachung von Termen, die sich nur in einer Variablen unterscheiden. Angewendet wird dabei die systematische Suche nach *Primtermen*, die sich nicht weiter vereinfachen lassen und die anschließende Ermittlung *wesentlicher* Primterme (s. Skriptum).

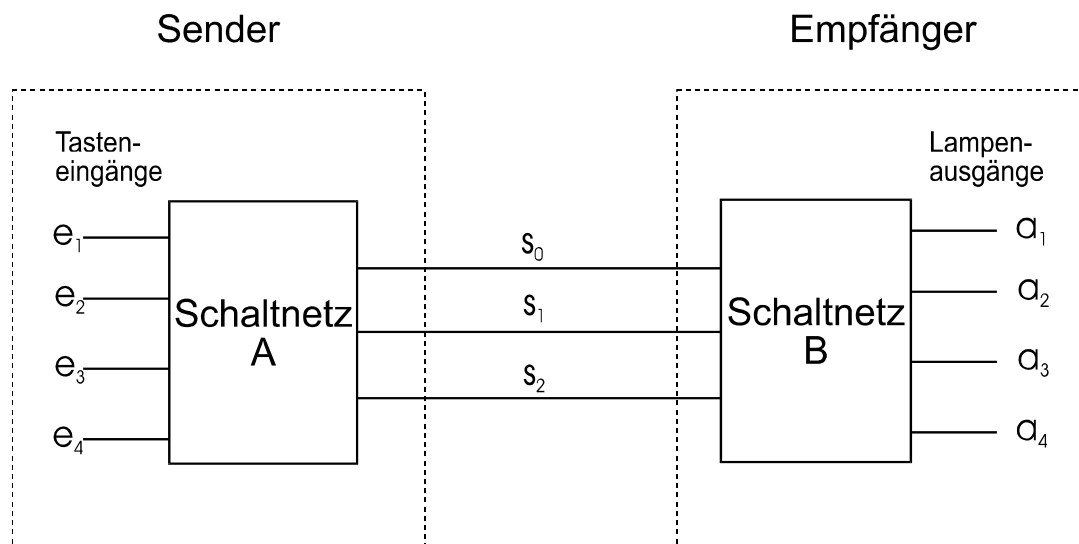
Gegeben ist die Wahrheitstabelle einer fünfstelligen Booleschen Funktion y , deren Funktionswert bei den angegebenen Belegungen 1 und sonst 0 ist. Diese Funktion soll mit dem Tabellen-Verfahren minimiert werden.

dezimales Äquivalen t	x_4	x_3	x_2	x_1	x_0	y
4	0	0	1	0	0	1
8	0	1	0	0	0	1
12	0	1	1	0	0	1
20	1	0	1	0	0	1
24	1	1	0	0	0	1
28	1	1	1	0	0	1

- Bilden Sie eine Mintermtabelle, in der nach Anzahl der enthaltenen Einsen gruppiert wird. Bilden Sie in dieser Tabelle *alle* möglichen Vereinfachungen bis nur noch Primterme enthalten sind.
- Gibt es doppelte und/oder unwesentliche durch Überdeckungen überflüssige Primterme, die weggelassen werden können? Wenn ja, welche sind dies? Zeigen Sie dies z. B. anhand einer Primtermtabelle.
- Geben sie die sich hieraus ergebende Boolesche Funktion an.
- Tragen Sie in ein KV-Diagramm mit 5 Variablen die oben angegebenen Werte der Booleschen Funktion ein. Geben Sie sämtliche jeweils „benachbarte“ Feldpaare an. Warum kann man im KV-Diagramm mit 5 Variablen nicht in jedem Fall Vierergruppen zusammenliegender Einsen zusammenfassen?

Aufgabe 2.33 (Klausur F97)

Für die Fernsteuerung von 4 Signallampen a_1 - a_4 mit Hilfe von 4 Tasten e_1 - e_4 sollen 3 Signalleitungen s_0 - s_2 verwendet werden. Es dürfen niemals mehrere Lampen gleichzeitig leuchten. Wenn mehrere Tasten gleichzeitig gedrückt werden, soll nur die Lampe mit der höchsten Numerierung aufleuchten.



- Wieviel Lampen lassen sich maximal mit 3 Signalleitungen ansteuern ?
- Wie heißt das Bauelement, das genau die für Schaltnetz A erforderliche Funktion erfüllt ?

Die Signalleitung s_2 soll anzeigen, ob eine Taste gedrückt ist oder nicht (0 = keine Taste gedrückt, 1 = mindestens 1 Taste gedrückt). s_0 und s_1 dienen zur Übertragung der Tastennummer (s_0 = LSB).

- Minimieren Sie die boolsche Funktion für s_1 in Abhängigkeit von e_1 - e_4
- Realisieren Sie das Schaltnetz B mit einem 4:1-Multiplexer.
- Tragen Sie die erforderlichen Verbindungen für s_1 in die UND-Matrix eines PALs ein. Warum bietet sich ein PAL im Gegensatz zu einem PROM zur Realisierung dieser logischen Funktion an?
- Wie läßt sich die Priorität der Tasten senderseitig unter Verwendung einfacher Gatter umkehren ?

Aufgabe 2.34 (Klausur H97)

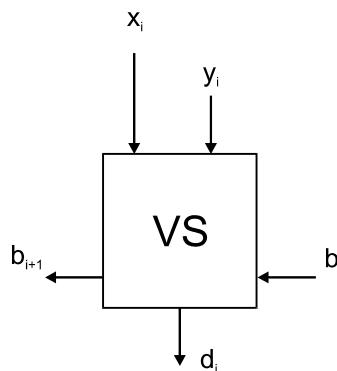
Entworfen werden soll ein Schaltwerk zur Subtraktion zweier Betragsszahlen $\mathbf{X}=\{x_0, x_1, x_2, x_3\}$ und $\mathbf{Y}=\{y_0, y_1, y_2, y_3\}$ mit jeweils 4 Bit Auflösung.

Analog zu den sogenannten „Ripple-Carry-Addierern“ soll dabei ein „Ripple-Borrow-Prinzip“ verwendet werden.

- a) Entwerfen Sie ein Subtraktionswerk, das die Subtraktion $\mathbf{X}-\mathbf{Y}=\mathbf{D}$ ausführt.

Das Subtraktionswerk soll aus vier Vollsubtrahierern bestehen, die jeweil ein Bit der Zahl $\mathbf{Y}$ von einem Bit der Zahl $\mathbf{X}$ abzieht und dabei ein Borrow-Bit berücksichtigt.

Der Aufbau eines Vollsubtrahierers ist folgendem Blockdiagramm zu entnehmen.



Skizzieren Sie die Verschaltung von vier Vollsubtrahierern zum resultierenden Subtraktionswerk für 4-Bit-Zahlen.

- b) Stellen Sie die Wahrheitstabelle für einen Vollsubtrahierer auf.
 c) Geben Sie die DNF für das Borrow-Bit $\mathbf{b}$ und das Differenz-Bit $\mathbf{d}$ an.
 d) Minimieren Sie soweit möglich die Gleichungen für $\mathbf{b}$ und $\mathbf{d}$. Verwenden Sie hierzu die beigefügten KV-Diagramme.

Gibt es für $\mathbf{d}$ noch weitere Minimierungsmöglichkeiten außer denen, die man durch Zusammenfassen benachbarter gleicher Felder im KV-Diagramm erhält?

Wenn ja, dann geben Sie die minimierte Gleichung für $\mathbf{d}$ an.

- e) Eine weitere Realisierungsform dieses Betrags-Subtrahierers ist mit einem Festwertspeicher (PROM, PAL etc.) möglich. Hierbei werden die zu subtrahierenden Zahlen an den Eingang des Festwertspeichers angelegt und die Differenz erscheint am Ausgang des Festwertspeichers.

Wie groß muß ein PROM zur Subtraktion zweier Betragsszahlen $\mathbf{X}$ und $\mathbf{Y}$ mit jeweils $\mathbf{n}$ -Bit Auflösung ausgelegt werden.

- f) Warum ist die Verwendung eines PROMs hier vorteilhaft?

Aufgabe 2.35 (Klausur H97)

Gegeben ist die Wahrheitstabelle einer **fünfstelligen** Booleschen Funktion (**f**), deren Funktionswert bei den angegebenen Belegungen 1 und **sonst 0 ist**. Diese Funktion soll mit dem **Verfahren nach Quine-McCluskey** minimiert werden.

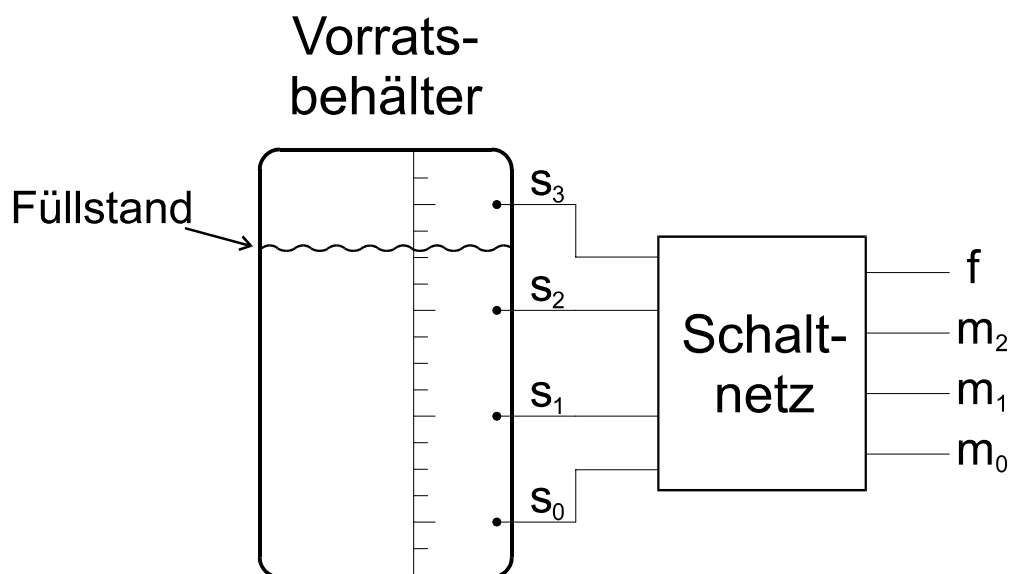
Dezimales Äquivalent		x_4	x_3	x_2	x_1	x_0		f
12		0	1	1	0	0		1
13		0	1	1	0	1		1
28		1	1	1	0	0		1
29		1	1	1	0	1		1
31		1	1	1	1	1		1

- Bilden Sie eine Mintermtabelle, in der nach Anzahl der enthaltenen Einsen gruppiert wird. Bilden Sie in dieser Tabelle **alle** möglichen Vereinfachungen bis nur noch Primterme enthalten sind.
- Ermitteln Sie in einer zweiten Tabelle die wesentlichen Primterme, so daß nicht notwendige Primterme erkennbar sind und weggelassen werden können (**Begründung!**)
- Geben Sie die sich hieraus ergebende Boolesche Funktion an.
- Überprüfen Sie das obige Ergebnis durch Minimierung der Funktion f im KV-Diagramm. **Begründen Sie Ihre Lösung!**

Aufgabe 2.36 (Klausur F98)

Für eine Industriekaffeemaschine soll ein Schaltnetz entworfen werden, das den Füllstand des Kaffeevorratsbehälters anzeigt, sowie im Falle unmöglicher Meßwerte eine Fehlermeldung anzeigt.

Der Füllstand wird mit 4 Sensoren s_0 bis s_3 gemessen, wobei die Sensoren jeweils den Wert „1“ ausgeben, wenn sich der Füllstand des Kaffees auf oder über der Sensorhöhe befindet.



An den Ausgängen m_0 bis m_2 des Schaltnetzes (m_0 =LSB) soll der Füllstand des Vorratsbehälters als Dualzahl (beginnend mit 0 für leer) ausgegeben werden. Wenn eine in der Praxis nicht mögliche Sensormeldung vorliegt (z.B. $s_1=1$, aber $s_0=0$), soll diese fehlerhafte Messung durch eine „1“ am Schaltnetz-Ausgang f angezeigt werden. Die Ausgänge m_0 bis m_2 besitzen im Falle einer fehlerhaften Messung keine Bedeutung.

- Wie viele verschiedene nicht fehlerhafte Füllstandszustände können durch die Sensoren gemessen werden?
- Stellen Sie die vollständige Wahrheitstabelle für f und m_0 bis m_2 in Abhängigkeit von s_0 bis s_3 auf. (Verwenden Sie die beigegefügte Wahrheitstabelle.)
- Geben Sie die minimale disjunktive Form der booleschen Funktion für f in Abhängigkeit von s_0 bis s_3 an. (Verwenden Sie das beigegefügte KV-Diagramm.)
- Realisieren Sie die minimierte boolesche Funktion f in Abhängigkeit von s_0 bis s_3 mit einem 8:1 Multiplexer.
- Realisieren Sie die minimierte boolesche Funktion f in Abhängigkeit von s_0 bis s_3 mit einem PAL. Tragen sie hierzu die erforderlichen Verbindungen für f in die UND-Matrix des auf der folgenden Seite dargestellten PAL ein.

- a) Warum bietet sich zur Realisierung dieser logischen Funktion ein PAL und kein PROM an?

Aufgabe 2.37 (Klausur F98)

Ein Unterbrecher (Interrupter) ist ein unentbehrlicher Teil eines Computers. Mit dem Interrupter kann die CPU die von den verschiedenen Peripheriegeräten gestellten Unterbrechungsanforderungen beantworten. Wenn mehrere Peripheriegeräte gleichzeitig um Unterbrechungsanforderungen gebeten haben, bedient die CPU nur das Peripheriegerät, das die höchste Priorität besitzt.

Angenommen wird hier, daß es insgesamt 4 Peripheriegeräte gibt, die die CPU bedienen soll. Dies sind jeweils

Tastatur I_0

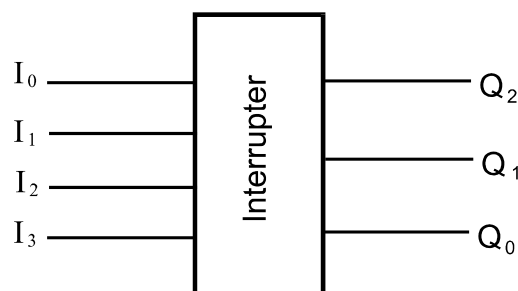
Festplattenlaufwerk I_1

Floppylaufwerk I_2

CD-Laufwerk I_3

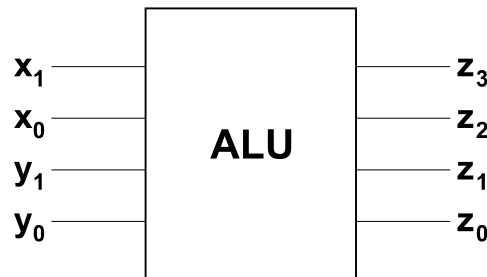
Die Priorität nimmt von I_0 zu I_3 ab. I_0 hat somit die höchste Priorität. Für die höchste Priorität gibt der Interrupter $\{11\}$ aus, nämlich $\{Q_1Q_0\}=\{11\}$ (Q_1 =MSB, Q_0 =LSB). Für die niedrigste Priorität ergibt sich $\{Q_1Q_0\}=\{00\}$. Liegt keine Anforderung vor, d.h. wenn $\{I_3I_2I_1I_0\}=\{0000\}$ gilt, dann gelten Q_1 und Q_0 als „don't care“.

Q_2 steht für das „Interrupter-Flag“. Das „Interrupter-Flag“ wird zunächst von der CPU gelesen. Wenn keine Anforderung von Peripheriegeräten vorliegt, gilt $Q_2=1$. Ansonsten gilt $Q_2=0$.



- Wie heißt das Bauelement, das die Interrupter-Funktion erfüllt ?
- Stellen Sie die Wahrheitstabelle für Q_2 , Q_1 , und Q_0 auf
- Geben Sie die Boolesche Gleichung für Q_2 , Q_1 , und Q_0 in minimierter Form an (Benutzen Sie die beigefügten KV-Diagramme).
- Nun sollen neben den 4 Peripheriegeräten (Tastatur, Festplattenlaufwerk, Floppylaufwerk und CD-Laufwerk) auch Maus, Drucker, Graphikkarte und Soundkarte von der CPU beantwortet werden. Wieviel Ausgangsbits des Interrupters werden benötigt ?

- e) Geben Sie Schaltungsrealisierungen für Q_2 , Q_1 und Q_0 (gemäß Aufgabenteil c) mithilfe von NAND-Gattern und Negations-Gattern an; formen Sie hierzu die Ergebnisgleichungen um.

Aufgabe 2.40 (Klausur H98)

Für das Rechenwerk eines einfachen Computers soll eine arithmetisch logische Einheit (ALU) entworfen werden. Die Hauptanwendung dieses Computers besteht aus einem Algorithmus, in dem sehr häufig die Funktion

$$z = x \cdot y + 1$$

berechnet werden muß, so daß diese in Hardware implementiert werden soll.

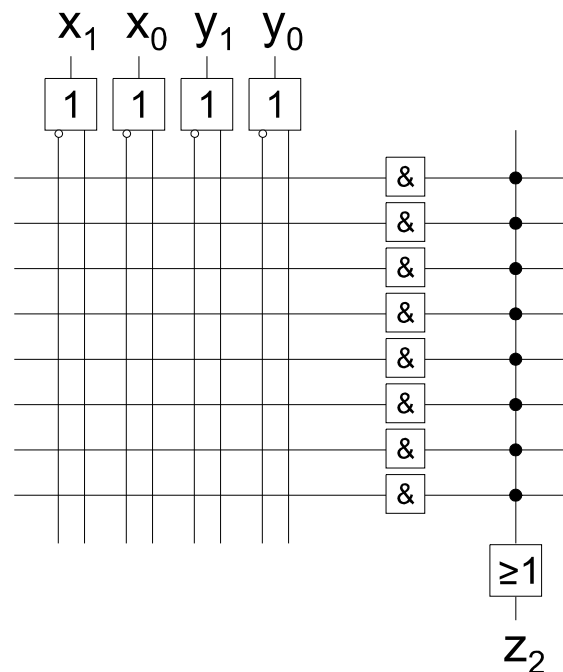
In dem Bild ist eine ALU dargestellt. Diese besitzt zwei Eingänge x und y mit jeweils 2 Bit Wortbreite (x_0 und y_0 = LSB) sowie einen Ausgang z mit 4 Bit Wortbreite (z_0 = LSB).

Die Zahlen x , y und z sind jeweils vorzeichenlos.

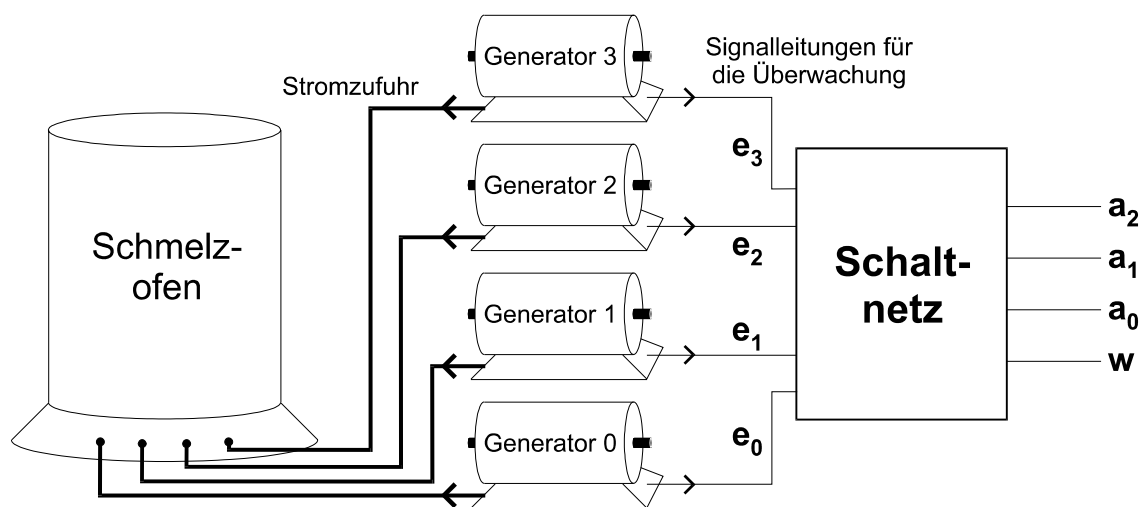
- a) Füllen Sie die Spalten für die dezimalen Werte der Eingangs- und Ausgangsvariablen aus, so daß die Funktion $z = x \cdot y + 1$ realisiert wird. Stellen Sie die vollständige Wahrheitstabelle für z_0 bis z_3 in Abhängigkeit von den Eingängen x_0 , x_1 , y_0 und y_1 auf.

	x_1	x_0	y_1	y_0	Dezimaler Wert von x	Dezimaler Wert von y	Dezimaler Wert von z	z_3	z_2	z_1	z_0
0	0	0	0	0							
1	0	0	0	1							
2	0	0	1	0							
3	0	0	1	1							
4	0	1	0	0							
5	0	1	0	1							
6	0	1	1	0							
7	0	1	1	1							
8	1	0	0	0							
9	1	0	0	1							
10	1	0	1	0							
11	1	0	1	1							
12	1	1	0	0							
13	1	1	0	1							
14	1	1	1	0							
15	1	1	1	1							

- b) Geben Sie die minimale disjunktive Form der booleschen Funktionen für z_3 bis z_0 in Abhängigkeit von x_0 , x_1 , y_0 und y_1 an
- c) Realisieren Sie die boolesche Funktion z_2 in Abhängigkeit von x_0 , x_1 , y_0 und y_1 mit einem PAL (benutzen Sie die beigefügte Vorlage).



- d) Geben Sie eine Schaltungsrealisierung für die boolesche Funktion z_0 an, in der nur NOR-Gatter (mit 2 Eingängen) verwendet werden.
- e) Im folgenden soll angenommen werden, daß die Eingangswerte x und y Ergebnisse eines vorherigen Berechnungsschrittes sind, und daher die Eingangswertekombination $x=y=3$ nie auftreten kann. Geben Sie die sich hierdurch ergebende minimale disjunktive Form der booleschen Funktionen für z_3 und z_2 in Abhängigkeit von x_0 , x_1 , y_0 und y_1 an.

Aufgabe 2.39 (Klausur H98)

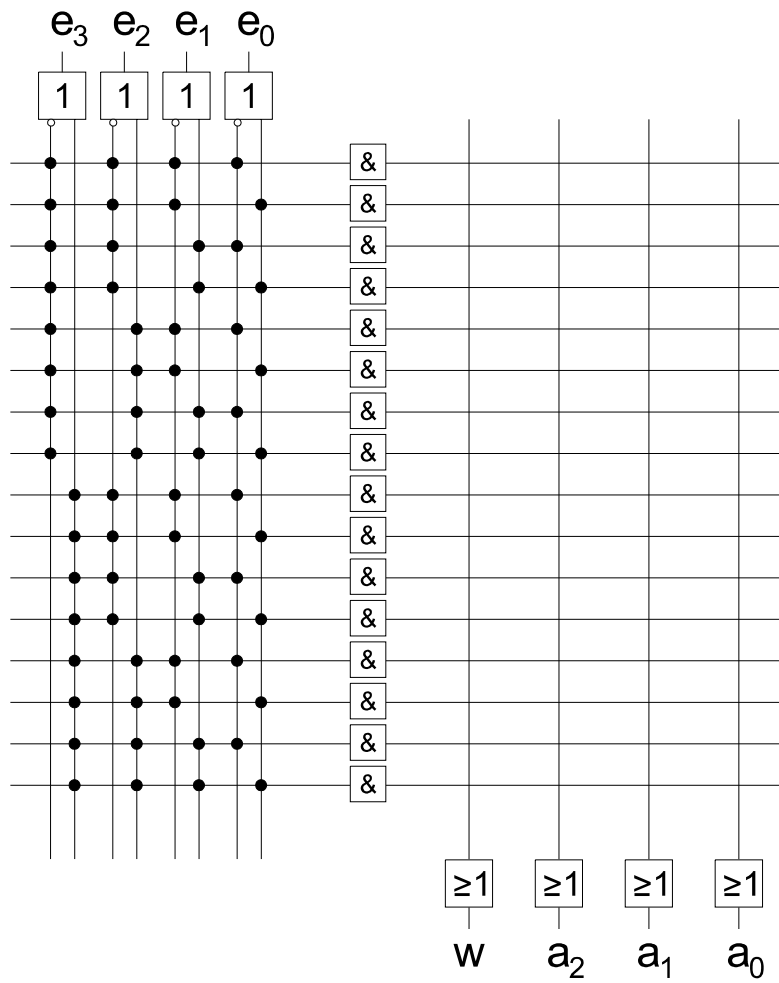
Um eine ausreichende Energieversorgung für einen strombetriebenen Schmelzofen zu gewährleisten, wird dieser aus insgesamt vier identischen Generatoren gespeist. Damit die benötigte Schmelztemperatur erzielt werden kann, müssen mindestens drei der Generatoren in Betrieb sein.

Es soll ein Schaltnetz zur Überwachung der Stromversorgung entwickelt werden. Die vier Generatoren melden an den Eingängen e_0 bis e_3 des Schaltnetzes jeweils eine „1“, falls sie in Betrieb sind. Falls ein Generator ausgeschaltet oder ausgefallen ist, wird eine „0“ gemeldet.

An den Ausgängen a_0 bis a_2 soll die Anzahl der Generatoren, die in Betrieb sind, als Dualzahl angezeigt werden (a_0 =LSB).

Wenn weniger als drei Generatoren in Betrieb sind, soll dieses durch eine Warnleuchte angezeigt werden, die am Schaltnetzausgang w angeschlossen ist (Lampe leuchtet bei $w=1$).

- a) Stellen Sie die vollständige Wahrheitstabelle für w und a_0 bis a_2 in Abhängigkeit von den Eingängen e_0 bis e_3 auf.
- b) Geben Sie die minimale disjunktive Form der booleschen Funktion für w in Abhängigkeit von e_0 bis e_3 an
- c) Realisieren Sie die boolesche Funktion w in Abhängigkeit von e_0 bis e_3 mit einem 8:1 Multiplexer.
- d) Realisieren Sie die boolesche Funktion w und a_0 bis a_2 in Abhängigkeit von e_0 bis e_3 mit einem PROM. Tragen Sie hierzu die erforderlichen Verbindungen für w und a_0 bis a_2 in die ODER-Matrix des dargestellten PROMs ein.

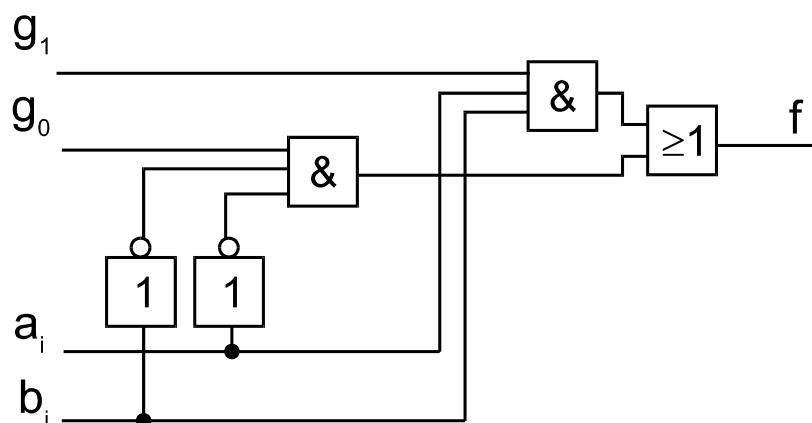


- e) Geben Sie eine boolesche Funktion für w in Abhängigkeit von a_0 bis a_2 an.

Aufgabe 2.40 (Klausur H98)

In einem Mikroprozessor soll eine arithmetisch-logische Einheit (ALU) in Bitslice-Technik realisiert werden. Bei der Bitslice-Technik wird die ALU aus einzelnen Blöcken zusammengesetzt, die bitweise rechnen und in diesem Fall jeweils zwei Variablen a_i und b_i zu einer Ausgangsvariablen f verknüpfen. Die logische Funktion kann mit g_1 und g_0 gesteuert werden.

Ein Block ist wie folgt aufgebaut:



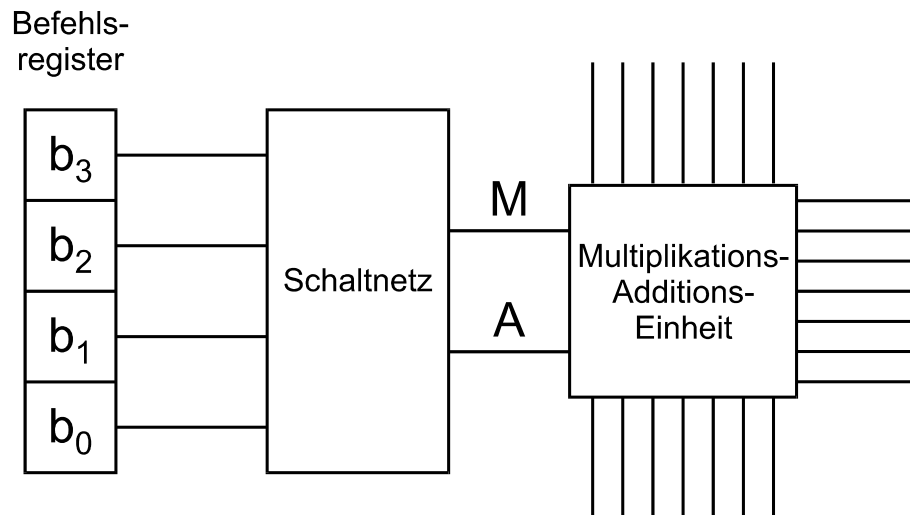
- Geben sie die Funktion für f in minimierter Form an.
- Tragen Sie von den 6 logischen Grundfunktionen UND, NAND, ODER, NOR, Antivalenz und Äquivalenz diejenigen in die *vorgegebene Tabelle* ein, die durch die Schaltung realisiert werden können.
- Wieviele Steuereingänge g_n benötigt man, wenn alle möglichen logischen Funktionen zwischen zwei Variablen realisiert werden sollen? Geben Sie für diesen Fall die Funktion f in minimierter Form an.
- Welcher Baustein bietet sich zur Realisierung dieser Schaltung an? Begründen Sie Ihre Antwort.

Tabelle zum Aufgabenteil b):

Dezimaler Wert	g_1	g_0	logische Funktion
0	0	0	
1	0	1	
2	1	0	
3	1	1	

Aufgabe 2.41 (Klausur F99)

Für die Steuerung einer Multiplikations-Additions-Einheit in einem RISC-Prozessor soll ein Schaltnetz entworfen werden. Dieses Schaltnetz soll 4 Bits (b_3 - b_0) im Befehlsregister auswerten und daraus zwei Steuersignale M und A für die Multiplikations-Additions-Einheit erzeugen.



Folgende Befehle sind auszuwerten (b_3 =MSB! , Befehlsformat also $b_3b_2b_1b_0$):

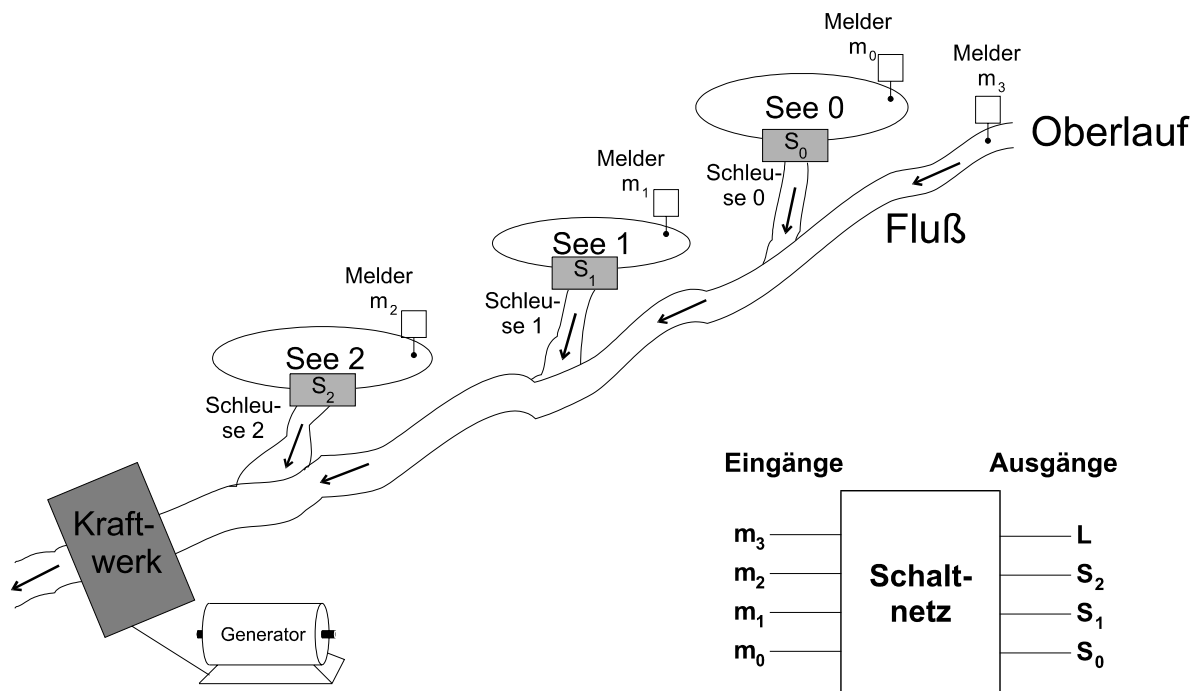
Addition aktiv 0111, 1111, 1101, 0101

Multiplikation aktiv 0110, 1110, 1011

Multiplikation & Addition aktiv 1010, 0010

Für eine Multiplikation muß $M=1$ und für eine Addition $A=1$ sein. Für alle anderen Fälle sollen $A=0$ und $M=0$ sein.

- Erstellen Sie die Wahrheitstabelle.
- Geben Sie die Funktionen für M und A in minimierter Form an.
- Realisieren Sie das Schaltnetz unter ausschließlicher Verwendung von NAND-Gattern mit beliebig vielen Eingängen.
- Realisieren Sie das Schaltnetz mit Hilfe eines PALs
Warum bietet es sich hier an, ein PAL zu verwenden ?

Aufgabe 2.42 (Klausur H95)

Für ein Wasserkraftwerk, das sich an einem Fluß befindet, soll ein Schaltnetz entworfen werden, das eine ausreichende Wasserzufuhr zum Kraftwerk gewährleistet. Am Oberlauf des Flusses sowie an drei Stauseen (See 0 bis See 2) sind hierzu jeweils Wasserstandsmelder (m_3 für den Fluß, m_2 bis m_0 für die Seen 2 bis 0) vorgesehen, die eine „1“ melden, falls an der entsprechenden Stelle genügend Wasser vorhanden ist, und eine „0“, wenn der Wasserstand zu niedrig ist.

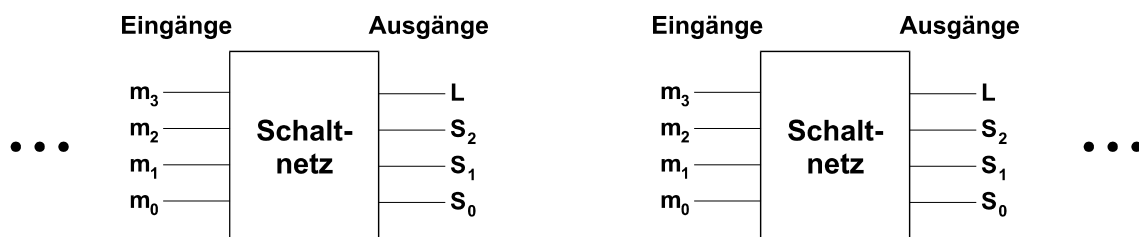
Abhängig von den jeweiligen Wasserständen soll das Schaltnetz jeweils die Schleusen S_0 bis S_2 steuern, wobei „1“ jeweils eine geöffnete Schleuse darstellt, und „0“ eine geschlossene.

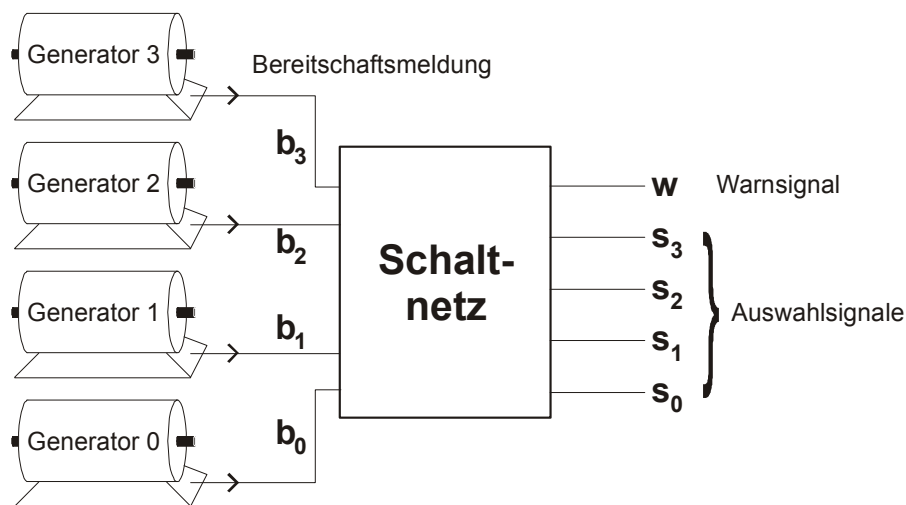
Hierbei sollen folgende Regeln gelten:

- Wenn der Fluß am Oberlauf genügend Wasser führt ($m_3=1$) sollen alle Schleusen geschlossen sein ($S_2=S_1=S_0=0$).
- Wenn der Fluß am Oberlauf nicht genügend Wasser führt, soll jeweils nur genau eine Schleuse geöffnet werden, und zwar die Schleuse, die am nächsten zum Oberlauf liegt und genügend Wasser besitzt. (Beispiel: See 0 und See 1 besitzen genügend Wasser $\Rightarrow$ Schleuse 0 wird geöffnet, da See 0 näher am Oberlauf)
- Wenn sowohl der Fluß, als auch alle Seen nicht genügend Wasser besitzen, soll die Warnlampe am Ausgang L aktiviert werden ($L=1$). In diesem Falle sollen alle Schleusen geschlossen sein.

- Stellen Sie die vollständige Wahrheitstabelle für L und S_2 bis S_0 in Abhängigkeit von den Eingängen m_0 bis m_3 auf.
- Geben Sie die minimale disjunktive Form der booleschen Funktion für L und S_2 bis S_0 in Abhängigkeit von m_0 bis m_3 an.
- Realisieren Sie die boolesche Funktion S_1 in Abhängigkeit von m_0 bis m_3 mit einem **16:1** Multiplexer.
- Realisieren Sie die boolesche Funktion S_1 in Abhängigkeit von m_0 bis m_3 mit einem **4:1** Multiplexer.
- Lassen sich die im Bild dargestellten Schaltnetze kaskadieren, um eine erhöhte Anzahl von Stauseen und Schleusen verwalten zu können?
- Wenn ja, skizzieren Sie, wie eine solche Kaskadierung vorgenommen werden muß. Kennzeichnen Sie hierzu, welche der Ein- und Ausgänge des Schaltnetzes zur Kaskadierung miteinander verbunden werden müssen und zeichnen sie ggf. zwischen Ausgang und Eingang erforderliche einfache Logikschaltungen ein.

Kaskadierung:



Aufgabe 2.43 (Klausur H99)

Für ihre Produktionsanlagen benötigt eine Firma eine elektrische Leistung von 2 Megawatt. Diese Firma besitzt 4 betriebseigene Generatoren mit einer Leistung von je 1 Megawatt. Die Betriebskosten der Generatoren pro Stunde betragen:

Generator 3	Generator 2	Generator 1	Generator 0
110 DM / h	80 DM / h	100 DM / h	90 DM / h

Die 4 Generatoren zeigen jeweils durch eine Bereitschaftsmeldung b_3 bis b_0 an, ob sie betriebsbereit sind ($b_x=1$) oder nicht ($b_x=0$).

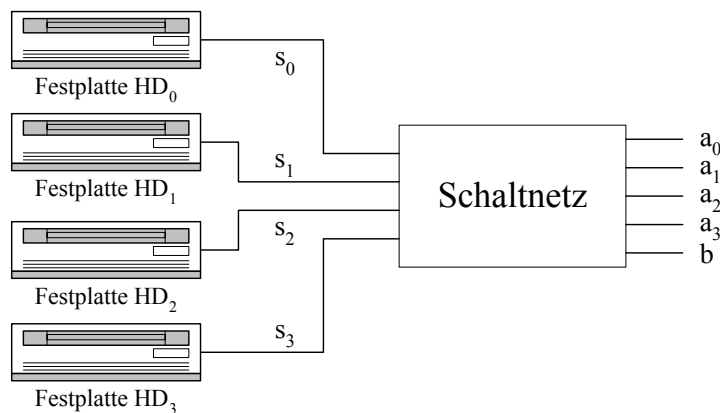
Es soll ein Schaltnetz entwickelt werden, das einem Bediener dabei hilft, eine ausreichende Stromversorgung in Abhängigkeit von den betriebsbereiten Generatoren möglichst kostengünstig zu gewährleisten.

Hierzu soll das Schaltnetz an den Ausgängen s_3 bis s_0 anzeigen, ob der jeweilige Generator g_3 bis g_0 in Betrieb genommen werden soll ($s_x=1$) oder nicht ($s_x=0$).

Nicht betriebsbereite Generatoren können selbstverständlich auch nicht in Betrieb genommen werden ($s_x=0$). Unter den betriebsbereiten Generatoren sollen, wie bereits erwähnt, diejenigen in Betrieb genommen werden, die zu minimalen Betriebskosten führen, und dennoch gewährleistet ist, daß die benötigte elektrische Leistung produziert wird.

Falls zu wenige Generatoren betriebsbereit sind, um eine genügende Stromversorgung zu gewährleisten, soll dies durch das Leuchten einer Warnlampe ($w=1$) angezeigt werden. In diesem Fall sind die Auswahlgänge s_3 bis s_0 nicht von Bedeutung.

- a) Stellen Sie die vollständige Wahrheitstabelle für w und s_3 bis s_0 in Abhängigkeit von den Eingängen b_3 bis b_0 auf.
- b) Geben Sie die minimale disjunktive Form der booleschen Funktion für w und s_3 bis s_0 in Abhängigkeit von b_3 bis b_0 an
- c) Realisieren Sie die boolesche Funktion w in Abhängigkeit von b_3 bis b_0 mit einem **8:1** Multiplexer.
- d) Realisieren Sie die boolesche Funktion w in Abhängigkeit von b_3 bis b_0 mit zwei **4:1** Multiplexern und einem **2:1** Multiplexer.
- e) Würden Sie zur Realisierung der booleschen Funktion w mit einem programmierbaren logischen Feld ein PAL oder ein PROM bevorzugen? Begründung!

Aufgabe 2.44 (Klausur F00)

In einem Fernsehstudio werden die Bild- und Tondaten während einer Produktion in Echtzeit zwischengespeichert. Dabei wird eine Datenrate von 30 MB/s benötigt.

Es stehen hierzu 4 baugleiche Festplatten zur Verfügung (HD₀ bis HD₃), die jeweils 15 MB/s speichern können, so dass für die erforderliche Datenrate von 30 MB/s mindestens 2 Festplatten gleichzeitig verwendet werden müssen.

Über die Statusleitungen s₀ bis s₃ melden die Platten, ob sie betriebsbereit sind oder nicht:

Festplattenstatus	
Betriebsbereit	Nicht betriebsbereit
s _i = 0	s _i = 1

Für die Speicherung sollen nur so viele Platten benutzt werden, wie unbedingt notwendig. Desweiteren werden die Platten mit der höchsten Priorität bevorzugt (HD₀ hat die höchste Priorität, HD₃ hat die niedrigste Priorität).

Um die anfallenden Daten verteilen zu können, soll ein Schaltnetz an seinen Ausgängen a₀ bis a₃ anzeigen, auf welche Festplatten geschoben werden soll (a_i = 1).

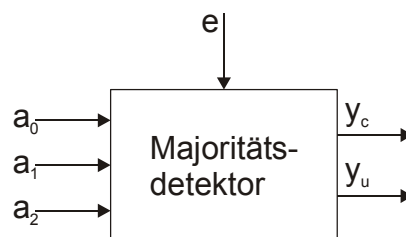
Ein weiterer Ausgang b soll dann auf 1 gesetzt werden, wenn keine Speicherung möglich ist. In diesem Fall werden die Werte an den Ausgängen a₀ bis a₃ nicht weiterverarbeitet.

- Stellen Sie die vollständige Wahrheitstabelle für $\mathbf{a_0}$ bis $\mathbf{a_3}$ und $\mathbf{b}$ in Abhängigkeit von den Eingängen s_0 bis s_3 auf.
- Geben Sie die minimale disjunktive Form der booleschen Funktion für $\mathbf{a_0}$ bis $\mathbf{a_3}$ und $\mathbf{b}$ in Abhängigkeit von s_0 bis s_3 an. (Verwenden Sie die beigefügten KV-Diagramme.)
- Realisieren Sie die boolesche Funktion $\mathbf{b}$ in Abhängigkeit von s_0 bis s_3 mit **einem 8:1-Multiplexer**.
- Realisieren Sie nun die boolesche Funktion $\mathbf{b}$ mit einem PAL.
- Realisieren Sie die boolesche Funktion $\overline{x_0 x_2} \vee \overline{x_1 x_2}$ *ausschließlich* durch NAND-Gatter mit beliebig vielen Eingängen (*keine anderen logischen Gatter!*)

Aufgabe 2.45 (Klausur H00)

Gegeben sei ein Majoritätsdetektor mit drei Eingängen. Dieser schaltet den Wert (,0' oder ,1'), der am häufigsten an den Eingängen anliegt, auf den Ausgang durch.

Der hier zu betrachtende Majoritätsdetektor soll zwei Ausgänge besitzen, von denen einer immer die jeweilige Majorität anzeigt (y_u). Der andere (y_c) zeigt nur dann die Majorität an, wenn der Enable-Eingang (e) auf 1 liegt, ansonsten ($e = 0$) soll der Ausgang eine 0 haben.

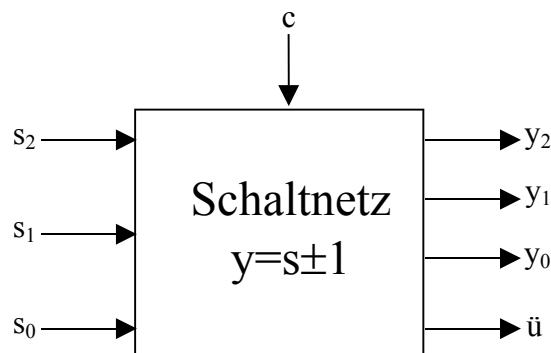


- Stellen Sie die vollständige Wahrheitstabelle für $\mathbf{y_c}$ und $\mathbf{y_u}$ in Abhängigkeit von den Eingängen a_2 bis a_0 und e auf.
- Geben Sie die minimale disjunktive Form der Boole'schen Funktion für $\mathbf{y_c}$ und $\mathbf{y_u}$ in Abhängigkeit von a_0 bis a_2 und e an. (Verwenden Sie die beigefügten KV-Diagramme.)
- Realisieren Sie die Boole'sche Funktion $a_0 a_1 \vee a_0 a_2 \vee a_1 a_2$ unter ausschließlicher Verwendung von NAND-Gattern mit 2 Eingängen.
- Bestimmen Sie y_c als Funktion von y_u und e , also $y_c = f(y_u, e)$. Wieviele NAND-Gatter mit 2 Eingängen werden zur Realisierung von $y_c = f(y_u, e)$ benötigt?

- e) Von einer speziellen Anwendung weiß man, dass die Eingänge e und a_2 immer den gleichen Wert haben. Füllen Sie unter dieser Randbedingung die Wertetabelle für $y_{c,2}$ aus.
- f) Geben Sie die minimale disjunktive Form der Boole'schen Funktion für $y_{c,2}$ in Abhängigkeit von a_0 bis a_2 und e an. (Verwenden Sie das beigefügte KV-Diagramm.)
- g) Realisieren Sie die Boole'sche Funktion $y_{c,2}$ mit einem **4:1** Multiplexer.

Aufgabe 2.46 (Klausur F01)

Es soll ein Schaltnetz für eine Recheneinheit entworfen werden, welche eine Eingangsvariable entweder um den Wert 1 inkrementiert oder dekrementiert (Up/Down-Counter).



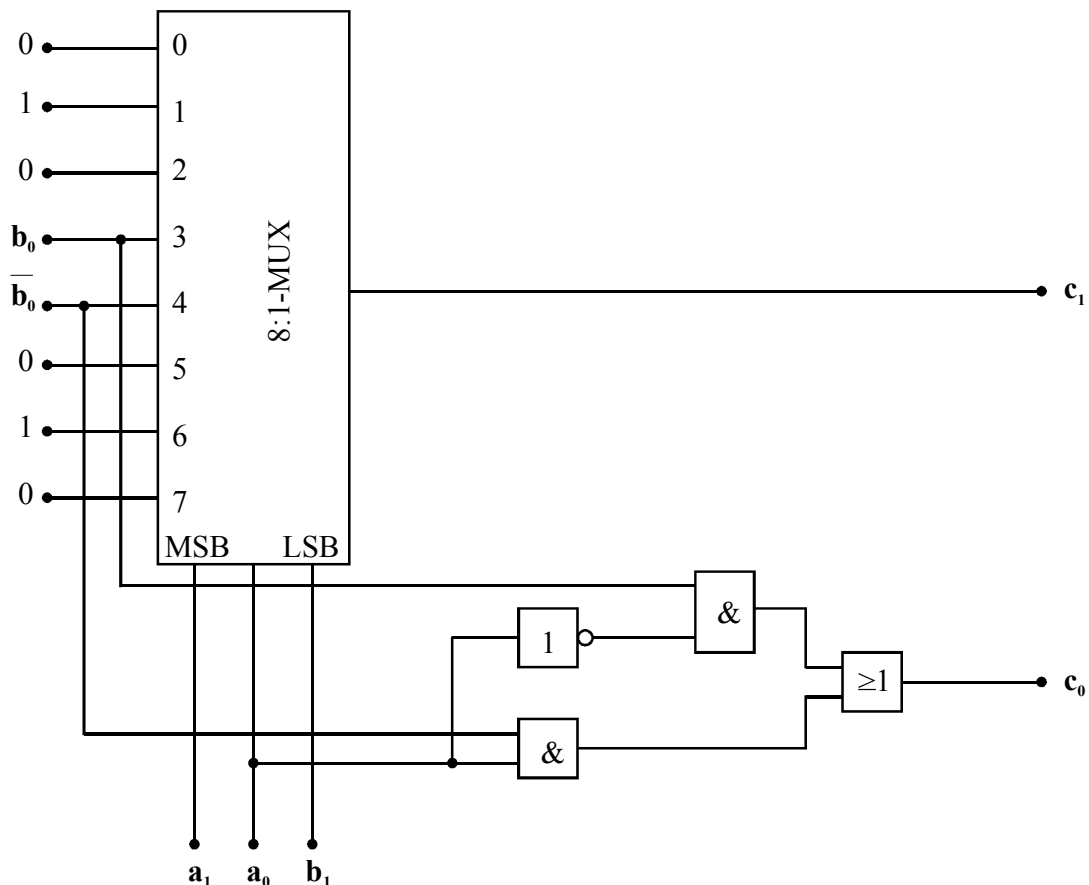
Die Eingänge s_0 bis s_2 des Schaltnetzes bezeichnen die 3-Bit-breite Eingangsvariable s im **Zweierkomplement-Format**, dabei ist s_2 das MSB und s_0 das LSB (Format $s_2s_1s_0$). Über den Eingang c wird ausgewählt, ob die Zahl um den Wert eins erhöht, oder verringert werden soll. Für den Fall $c = 0$ soll s inkrementiert werden (+1), für $c = 1$ soll s dekrementiert werden (−1).

Das Ergebnis der Operation soll ebenfalls in **Zweierkomplement-Darstellung** an den Ausgängen y_0 bis y_2 anliegen. Dabei bezeichnet y_2 das MSB des Ergebnisses, y_0 entsprechend das LSB (Format $y_2y_1y_0$). Für den Fall, dass der Ergebniswert nicht im Zahlenbereich der 3-Bit-breiten Ausgangsvariablen darstellbar ist, soll der Ausgangswert $\ddot{u}$ auf den Wert „1“ gesetzt werden, und dadurch den Überlauf anzeigen. In diesem Fall sind die Werte für y_0 bis y_2 unerheblich. Für alle anderen Fälle soll $\ddot{u} = 0$ betragen.

- a) Tragen Sie in der nachstehenden Tabelle zunächst die dezimalen Werte für die Eingangsvariable $s_2s_1s_0$ und die Ausgangsvariable $y_2y_1y_0$ ein. Füllen Sie anschließend die Wahrheitstabelle für y_2 bis y_0 und $\bar{u}$ in Abhängigkeit von den Eingängen s_2 bis s_0 und c aus.
- b) Geben Sie die minimale disjunktive Form der Boole'schen Funktionen für y_2 bis y_0 und $\bar{u}$ in Abhängigkeit von s_2 bis s_0 und c an. Verwenden Sie hierzu die beigefügten KV-Diagramme.
- c) Realisieren Sie die Boole'sche Funktion y_2 mit **einem** 8:1-Multiplexer.
- d) Realisieren Sie nun die Boole'sche Funktion y_2 mit einem PAL.

Aufgabe 2.47 (Klausur F01)

Das folgende Schaltnetz mit den Eingängen a_1 , a_0 , b_1 und b_0 , sowie den Ausgängen c_1 und c_0 ist im Folgenden auf seine Funktionalität zu überprüfen. Durch a_1 , a_0 , b_1 , b_0 , c_1 und c_0 werden die drei vorzeichenlosen 2-Bit-Zahlen $a = a_1a_0$, $b = b_1b_0$ und $c = c_1c_0$ ausgedrückt.

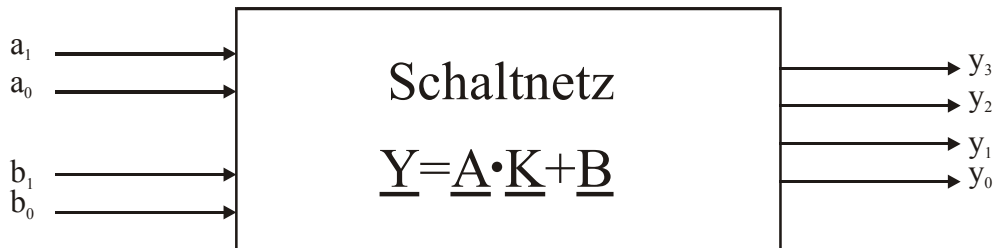


- Stellen Sie die vollständige Wahrheitstabelle der Ausgänge c_1 und c_0 in Abhängigkeit von den Eingängen a_1 , a_0 , b_1 und b_0 auf. Tragen Sie außerdem die dezimalen Äquivalente der 2-Bit-Zahlen a , b und c in die Tabelle ein.
- Welche mathematische Funktion $c = f(a, b)$ wird durch das Schaltnetz realisiert?
- Geben Sie die logische Funktion c_0 in Abhängigkeit von a_0 und b_0 an. Wie heißt die Funktion?
- Realisieren Sie die logische Funktion $c_0 = f(a_0, b_0)$ unter ausschließlicher Verwendung von NAND-Gattern mit zwei Eingängen.

Aufgabe 2.48 (Klausur F02)

Eine sehr häufige Rechenoperation in digitalen Signalprozessoren (DSPs) ist die so genannte Multiply-Add-Operation. Zur Implementierung digitaler Filter wird beispielsweise häufig eine Eingangsvariable A mit einem konstanten Koeffizienten K multipliziert, und anschließend ein Wert B addiert.

Es soll ein Schaltnetz entworfen werden, welches eine solche Operation durchführt:



Die Variablen $\underline{A}$, $\underline{B}$ und $\underline{Y}$ weisen folgendes Zahlenformat auf:

$$\underline{A} = a_1 a_0$$

$$\underline{B} = b_1 b_0$$

$$\underline{Y} = y_3 y_2 y_1 y_0$$

Die Konstante $\underline{K}$ besitzt den **binären** Wert

$$\underline{K} = k_1 k_0 = 11$$

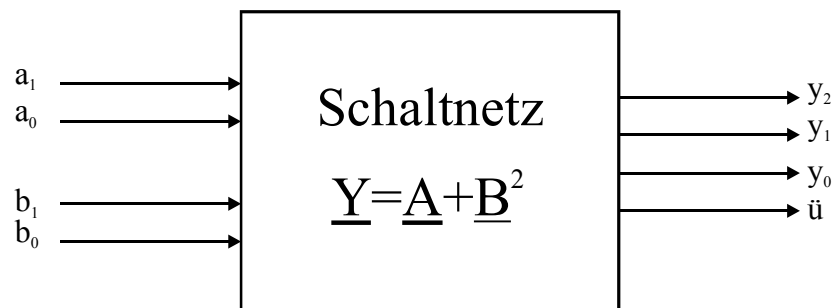
Die Variablen $\underline{A}$, $\underline{B}$ und $\underline{Y}$, sowie die Konstante $\underline{K}$ sind **vorzeichenlose Betragszahlen**.

- Tragen Sie zunächst die dezimalen Äquivalente für $\underline{A}$ und $\underline{B}$, sowie für das Ergebnis der Operation $\underline{Y} = \underline{A} \cdot \underline{K} + \underline{B}$ in eine Wahrheitstabelle ein. Stellen Sie anschließend die vollständige Wahrheitstabelle der Ausgänge y_3 , y_2 , y_1 und y_0 in Abhängigkeit von den Eingängen a_1 , a_0 , b_1 und b_0 auf.
- Geben Sie die minimale disjunktive Form der Boole'schen Funktionen für y_3 , y_2 , y_1 und y_0 in Abhängigkeit von a_1 , a_0 , b_1 und b_0 an. Verwenden Sie hierzu die beigefügten KV-Diagramme.
- Realisieren Sie die Boole'sche Funktion y_3 unter ausschließlicher Verwendung von **NOR-Gattern** mit 2 oder mehr Eingängen.
- Realisieren Sie die Boole'sche Funktion y_2 mit **einem** 8:1-Multiplexer:

Aufgabe 2.49 (Klausur F02)

ASICs (Application-Specific Integrated Circuits) zeichnen sich gegenüber Standardprozessoren durch eine besonders hohe Ausführungsgeschwindigkeit aus. Dies wird unter Anderem dadurch erreicht, dass in der arithmetisch-logischen Einheit (ALU) des Chips festverdrahtete Hardware für bestimmte algorithmentypische Rechenoperationen eingesetzt wird.

Bei der Analyse eines bestimmten Algorithmus hat sich herausgestellt, dass die arithmetische Operation $Y = A + B^2$ besonders häufig vorkommt, so dass diese in der ALU fest implementiert werden soll. Im Folgenden soll ein Schaltnetz entworfen werden, welches diese Operation mit 2-Bit-Zahlen durchführt:



Die Variablen $\underline{A}$, $\underline{B}$ und $\underline{Y}$ sind **vorzeichenlose Betragszahlen**, und weisen folgendes Zahlenformat auf:

$$\underline{A} = a_1 a_0$$

$$\underline{B} = b_1 b_0$$

$$\underline{Y} = y_2 y_1 y_0$$

Für den Fall, dass das Ergebnis der Operation nicht mit dem Zahlenformat von $\underline{Y}$ dargestellt werden kann (Überlauf), soll das **Überlauf-Bit** $\ddot{u}$ auf 1 gesetzt werden. In

diesem Fall ist das Ergebnis $\underline{Y}$ der Operation nicht von Bedeutung. In allen anderen Fällen ist $\bar{u} = 0$.

- a) Tragen Sie zunächst die dezimalen Äquivalente für $\underline{A}$ und $\underline{B}$, sowie für das Ergebnis der Operation $\underline{Y} = \underline{A} + \underline{B}^2$ in eine Wahrheitstabelle ein. Stellen Sie anschließend die vollständige Wahrheitstabelle der Ausgänge y_2 , y_1 , y_0 und $\bar{u}$ in Abhängigkeit von den Eingängen a_1 , a_0 , b_1 und b_0 auf.
- b) Geben Sie die minimale disjunktive Form der Boole'schen Funktionen für y_2 , y_1 , y_0 und $\bar{u}$ in Abhängigkeit von a_1 , a_0 , b_1 und b_0 an. Verwenden Sie hierzu die beigefügten KV-Diagramme.
- c) Realisieren Sie die Boole'sche Funktion y_2 unter ausschließlicher Verwendung von **NAND-Gattern** mit **genau 2 Eingängen**.
- d) Realisieren Sie die Boole'sche Funktion y_1 mit **einem** 8:1-Multiplexer: