

Übungsaufgaben zur Vorlesung

Grundlagen der Informationsverarbeitung II

Sommersemester 2004

Aufgaben zu Kapitel 2 Schaltnetze

Betreuer:

Prof. Dr.-Ing. H. Schröder

Raum: P1-04-211

Tel.: 755-3190

Email: hartmut.schroeder@uni-dortmund.de

Dipl.-Ing. H. Lange

Raum: P1-04-210

Tel.: 755-2028

Email: hendrik.lange@uni-dortmund.de

Aktuelle Informationen zur Vorlesung gibt es unter:

http://www-kt.e-technik.uni-dortmund.de/m_siv/giv/giv_main.html

Aufgabe 2.1

Zeigen Sie, daß jede Boolesche Funktion mit NAND- bzw. NOR-Gattern dargestellt werden kann .

Aufgabe 2.2

Zeigen Sie im Venn-Diagramm die Gültigkeit der De Morgan'schen Gesetze

$$A \vee B = \overline{\overline{A} \wedge \overline{B}}$$

$$A \wedge B = \overline{\overline{A} \vee \overline{B}}$$

Erweitern Sie die Gesetze auf N Variablen.

Aufgabe 2.3

Beweisen Sie mit den Axiomen und den abgeleiteten Sätzen der Booleschen Algebra :

$$\overline{A} \vee A\overline{B} = \overline{B} \vee \overline{A}B$$

Aufgabe 2.4

Gegeben sei folgende Funktion :

$$F = (\overline{a \wedge \overline{b} \wedge \overline{c}}) \wedge \overline{a} \wedge (b \wedge d)$$

Entwerfen Sie ein Schaltnetz, das obige Funktion erfüllt, unter ausschließlicher Verwendung von NAND-Gattern mit jeweils zwei Eingängen .

Aufgabe 2.5

Gegeben sei folgende Funktion:

$$\overline{F} = (\overline{A} \vee \overline{B} \vee C \vee D) \wedge (B \vee C \vee D) \wedge (A \vee B \vee D) \wedge (A \vee \overline{C}) \wedge (A \vee \overline{B} \vee C \vee D) \wedge (\overline{A} \vee \overline{C} \vee \overline{D})$$

Bilden Sie die Funktion in disjunktiver Form .

- Stellen Sie die zugehörige Wertetabelle auf .
- Geben Sie die Funktion in disjunktiver Normalform und konjunktiver Normalform an .
- Vereinfachen Sie die in disjunktiver Normalform gegebene Funktion mit Hilfe der Booleschen Algebra .
- Realisieren Sie die vereinfachte Funktion unter ausschließlicher Verwendung von NOR-Gattern .

Aufgabe 2.6

Gegeben seien drei Schalter A, B und C und eine Lampe F. F soll genau dann aufleuchten, wenn mindestens zwei der drei Schalter geschlossen sind. Geben Sie an:

- die Wertetabelle mit $F = 1$ = Lampe leuchtet.
- die Boolesche Funktion in disjunktiver Normalform für das Leuchten der Lampe. Versuchen Sie, diese Funktion mit Hilfe von Gesetzen der Booleschen Algebra zu vereinfachen.
- eine technische Realisierung für F, die ausschließlich NAND-Gatter verwendet.

Aufgabe 2.7 (Klausur F89)

Ein Alarmsystem hat 4 Meldesensoren mit zugehörigen logischen Variablen a,b,c,d. Das Alarmsystem gibt Alarm, wenn mindestens 3 Sensoren ansprechen. Die Sensoren a und c können nicht gemeinsam Alarm melden.

- Ermitteln Sie die Wahrheitstabelle und geben Sie die disjunktive und konjunktive Normalform an (DNF, KNF).
- Minimieren Sie die DNF mit Hilfe des KV-Diagrammes. Geben Sie die minimale disjunktive Form an.
- Entwickeln Sie aus der minimalen disjunktiven Form ein Schaltnetz aus NAND-Gattern, und geben Sie den zugehörigen logischen Ausdruck an.

Aufgabe 2.8

Zum Zahlvergleich werden Komparatoren eingesetzt. Die Vergleichskriterien sind $A=B$, $A>B$ und $A<B$.

- Stellen Sie die Wahrheitstabelle eines 3-Bit Dualzahl-Komparators auf.
- Tragen Sie die logischen Funktionen in das KV-Diagramm ein, und entnehmen Sie die minimale disjunktive Form für die Funktionen aus dem KV-Diagramm.
- Realisieren Sie die Funktionen unter ausschließlicher Verwendung von NAND-Gattern.
- Es sind fertige 4-Bit Dualzahl-Komparatorbausteine vorhanden (z.B. SN 7485). Realisieren Sie mit Hilfe dieses 4-Bit Dualzahl-Komparatorbausteins einen 8-Bitt Dualzahlenkomparator.

Aufgabe 2.9 (Klausur F90)

In einem digitalen System wird ein Schaltnetz benötigt, das im Zweierkomplement codierte Zahlen $A=\{a_3,a_2,a_1,a_0\}$ in den Absolutbetrag $B=\{b_3,b_2,b_1,b_0\}$ umsetzt. Für den Zahlenbereich von A gilt:

$$-6 \leq A \leq 6$$

- a) Stellen Sie die Wahrheitstabelle dieses Schaltnetzes auf.
- b) Ermitteln Sie mit Hilfe von KV-Diagrammen die minimalen disjunktiven Formen für die Ausgangsvariablen.
- c) Entwickeln Sie für das Betragsbit b_2 ein Schaltnetz aus NAND-Gattern (mit 2 oder mehr Eingängen) und geben Sie den zugehörigen logischen Ausdruck an.

Aufgabe 2.10

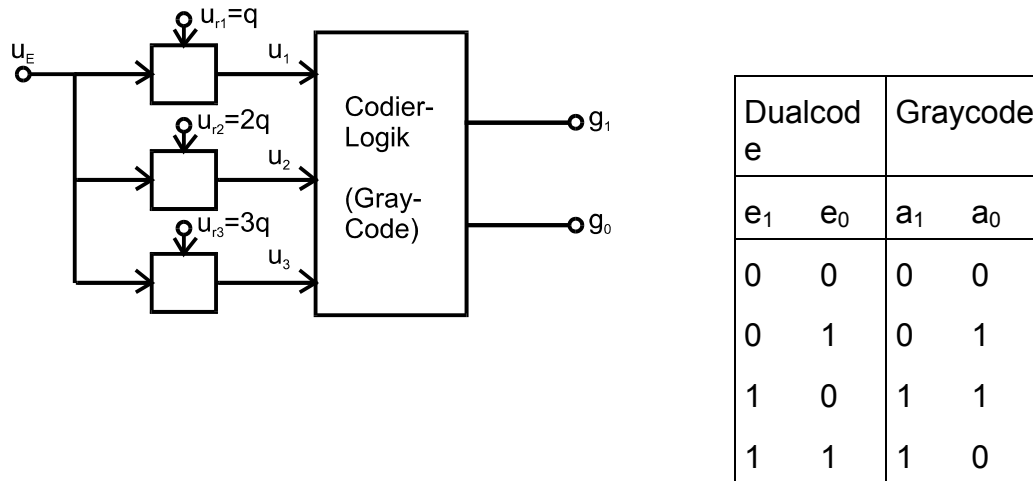
Der Gray-Code hat die Eigenschaft, daß sich die Codierungen zweier aufeinanderfolgender Ziffern nur genau an einer Stelle unterscheiden (s. Tabelle).

- a) Stellen Sie die Wahrheitstabelle eines vierstelligen Dual-Gray-Kodierers auf.
- b) Entwerfen Sie unter Verwendung des Karnaugh-Veith-Verfahrens ein möglichst einfaches Schaltnetz zur Realisierung dieser Dual-Gray-Kodierers.

Dezimal - Code	Gray-Code
0	0000
1	0001
2	0011
3	0010
4	0110
5	0111
6	0101
7	0100
8	1100
9	1101
10	1111
11	1110
12	1010
13	1011
14	1001
15	1000

Aufgabe 2.11 (Klausur H89)

Für hohe Abtastfrequenzen werden parallele A/D-Converter verwendet. Im folgenden Bild ist das Blockschaltbild eines 2-Bit A/D-Wandlers dargestellt.



Die Komparatoren K_1 , K_2 , K_3 haben folgende Schalteigenschaft

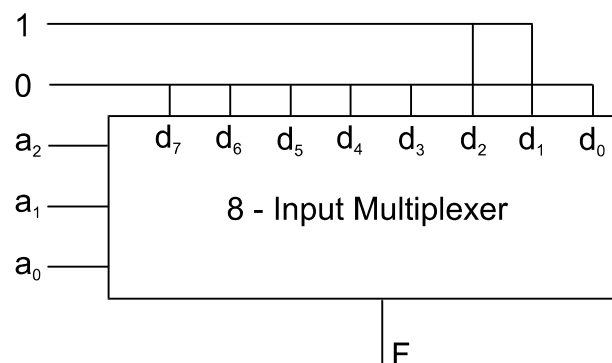
$$u_i = \begin{cases} 1 & \text{für } u_E - u_{ri} \geq 0 \\ 0 & \text{für } u_E - u_{ri} < 0 \end{cases} \quad i = 1, 2, 3$$

Mit einer geeigneten Codier-Logik wird dann die Komparatorspannung U_i in den Graycode umgesetzt (s. obige Tabelle).

- Stellen Sie die Wahrheitstabelle für eine 2Bit Codier-Logik auf.
- Ermitteln Sie mit Hilfe von KV-Diagrammen die minimalen disjunktiven Formen für g_0 und g_1 .
- Entwickeln Sie für g_0 ein Schaltnetz aus NOR-Gattern und geben Sie den zugehörigen logischen Ausdruck an.

Aufgabe 2.12

Mit Multiplexern können logische Funktionen direkt aus der Wahrheitstabelle realisiert werden. Dabei werden die Adresseingänge der Multiplexers als Logische Variablen benutzt und die Dateneingänge werden direkt mit 0 bzw. 1 verbunden. Im folgenden Bild ist ein Multiplexer mit 8 Dateneingängen benutzt, um eine bestimmte Funktion zu erzeugen .



- Stellen Sie die dazugehörige Wahrheitstabelle auf und geben Sie die logische Funktion in der DNF an .
- Verbinden Sie die Dateneingänge so, daß folgende Funktion realisiert wird:

$$F = AB \vee \overline{A}\overline{B} \vee AC \vee BC$$

Aufgabe 2.13

Realisieren Sie folgende logische Funktion in möglichst einfacher Form, unter ausschließlicher Verwendung von NAND-Gattern .

$$F = M_0^i \vee M_1^i \vee M_3^i \vee M_5^i \vee M_6^i \vee M_9^i \vee M_{10}^i \vee M_{12}^i \vee M_{15}^i$$

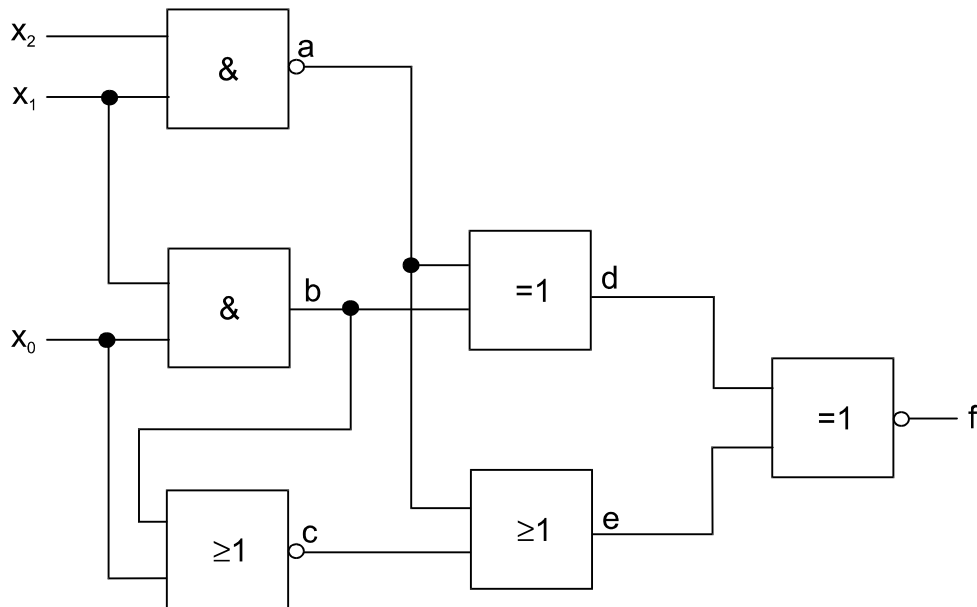
Realisieren Sie die Funktion mit einem 8-Dateneingang Multiplexer .

Aufgabe 2.14

Realisieren Sie mit Hilfe von 8-Dateneingang-Multiplexerbausteinen (z.B. SN 74151) und einem 1 aus 4 Dekoder einen 32-Dateneingangs-Multiplexer (Hinweis: Der Multiplexer hat einen Enable-Eingang) .

Aufgabe 2.15 (Klausur H90)

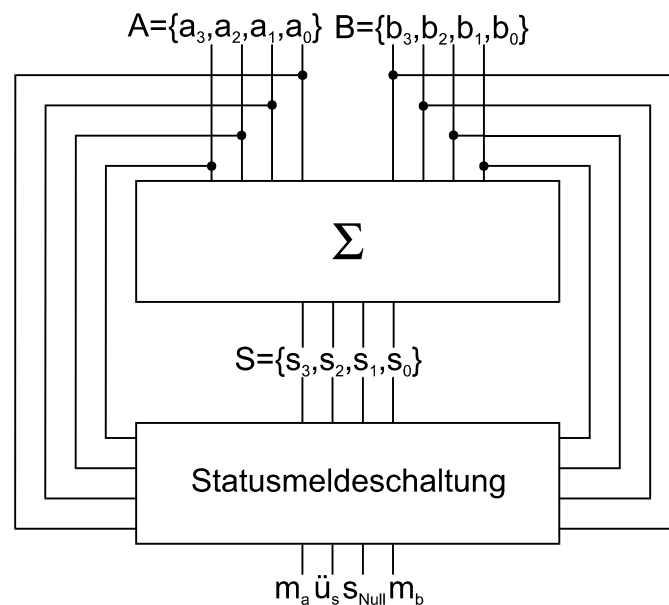
Gegeben sei folgendes Schaltnetz :



- Bestimmen Sie die Schaltfunktionen an den Ausgängen der Gatter a - f in Abhängigkeit von den jeweiligen Gattereingangsvariablen .
- Stellen Sie die Wahrheitstabelle für die Schaltfunktion am Ausgang des Gatters f in Abhängigkeit von den Eingangsvariablen x_2 , x_1 , x_0 auf .
- Ermitteln Sie mithilfe eines KV-Diagramms die Schaltfunktion f in der minimalen disjunktiven Form .
- Entwickeln Sie für die Schaltfunktion f ein Schaltnetz aus NAND-Gattern (mit 2 oder mehr Eingängen) und geben Sie den zugehörigen logischen Ausdruck an .

Aufgabe 2.16 (Klausur F92)

In Verbindung mit einem Addierwerk (s. Bild) soll eine Statusmeldeschaltung als kombinatorisches Schaltnetz entworfen werden .



Die verwendeten Zahlen A, B, und S des Addierwerks liegen sämtlich im Zweierkomplement vor . (a_3, b_3, s_3 : Vorzeichenbits)

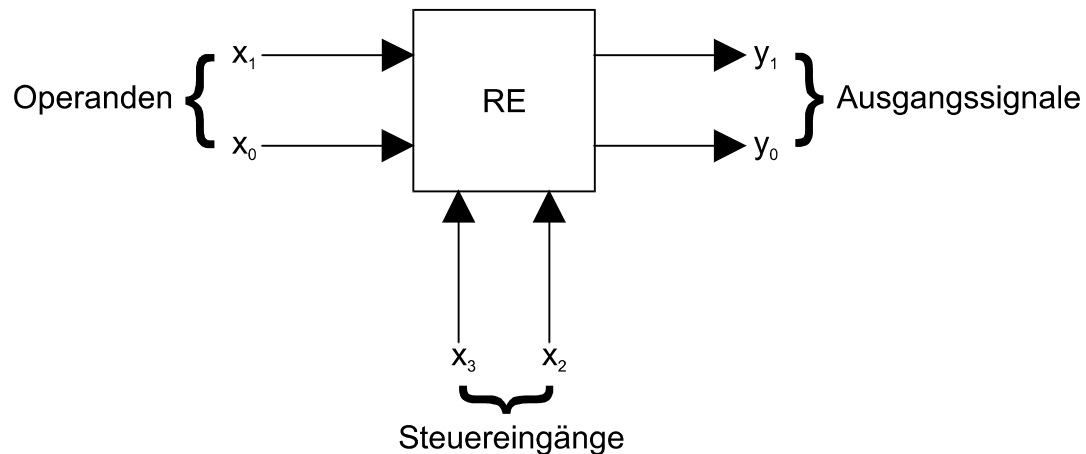
Die **Maximalwertanzeigen** $m_a(a_3, a_2, a_1, a_0)$ und $m_b(b_3, b_2, b_1, b_0)$ zeigen bei Eintreten ihrer jeweiligen positiven und negativen Maximalwerte eine logische 1 .

Die **Nullanzeige** $s_{Null}(s_3, s_2, s_1, s_0)$ ist logisch 1 für einen arithmetischen Summenwert = 0 .

- Geben Sie für m_a, m_b, s_{Null} (ggf. minimale) disjunktive Formen und geeignete Gatterschaltungen aus UND, ODER und Negation an .
- Die **Gesamtüberlaufanzeige** $\ddot{u}_s(a_3, b_3, s_3)$ ist bei Eintreten eines Summenüberlaufs logisch 1. Geben Sie Wahrheitstabelle, KV-Diagramm, (ggf. minimale) disjunktive Form und eine geeignete Gatterschaltung aus UND, ODER und Negation an .

Aufgabe 2.17

Ein Rechelement für Summenbildung und ausgewählte logische Operationen soll entworfen werden .



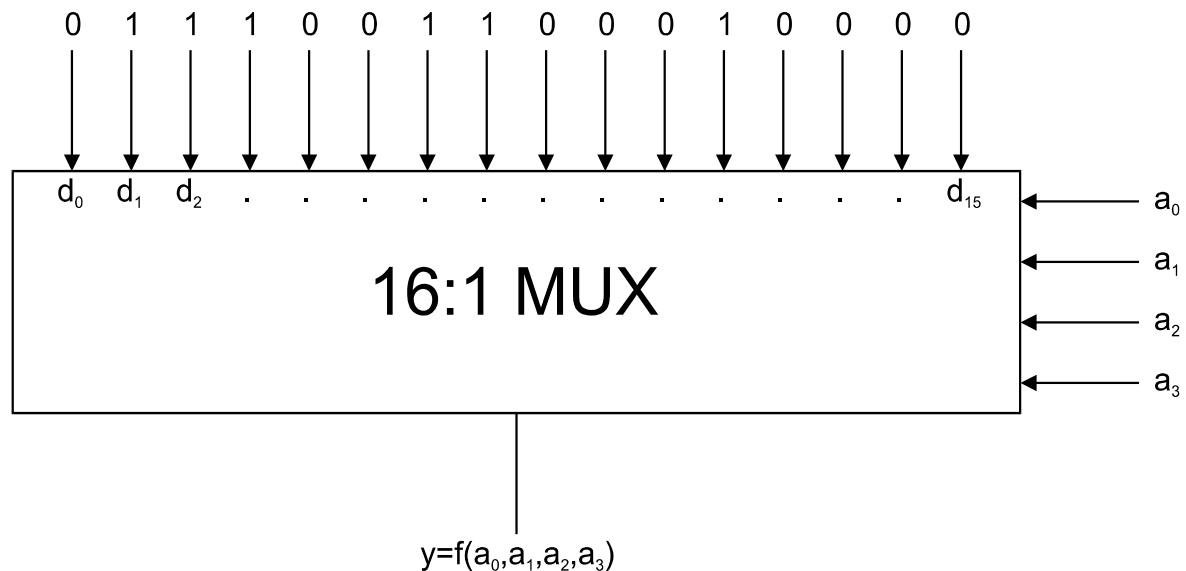
Dabei sollen für die verschiedenen Steuervariablenkombinationen Operationen, entsprechend nachfolgender Tabelle, ausgeführt werden :

x_3	x_2	Operationen	
0	0	$y_0 = x_0 + x_1$ (Summe)	y_1 : Übertrag
0	1	$y_0 = \bar{x}_0$	$y_1 = \bar{x}_1$
1	0	$y_0 = x_0 \wedge x_1$	$y_1 = x_0 \vee x_1$

- Ermitteln Sie die vollständige Wahrheitstabelle .
- Geben Sie disjunktive Normalformen (DNF) für y_0 und y_1 an . Ermitteln Sie mit Hilfe der KV-Diagrammtechnik die minimalen disjunktiven Formen für y_0 und y_1 .
- Geben Sie eine Gatterrealisierung für y_1 aus UND, ODER und Negation an.

Aufgabe 2.18 (Klausur F94)

Ein Schaltnetz wird durch einen 16:1 Multiplexer realisiert (s. Skizze):



- Stellen Sie die Wahrheitstabelle für dieses Schaltnetz auf und geben Sie die disjunktive Normalform an .
- Ermitteln Sie mithilfe des KV-Diagramms die minimale disjunktive Form und skizzieren Sie eine Realisierung als PAL-Struktur .
- Realisieren Sie das Schaltnetz mithilfe eines 8:1 Multiplexers . Verwenden Sie die Variable a_0 bzw. $\bar{a}_0$ an den MUX-Eingängen d_i . Geben Sie die durch diesen 8:1 MUX realisierte vollständige Boolesche Funktion an .
- Welche logische Funktion $f(a_0, a_1, a_2, a_3)$ wird hier realisiert ?

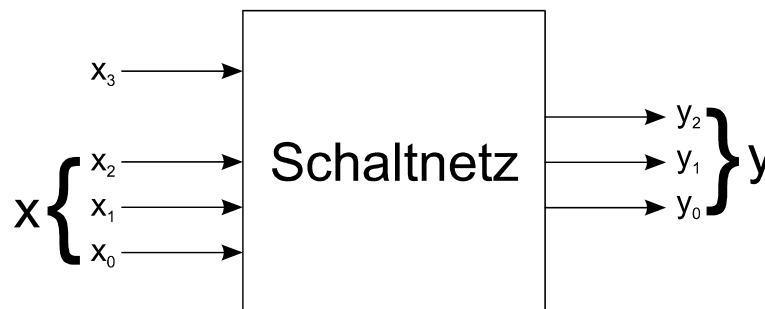
Aufgabe 2.19 (Klausur H94)

Es soll ein „Paritybit“-Generator entwickelt werden, der ein „ODD“-Paritybit y für vierstellige Dualzahlen $X=\{x_3, x_2, x_1, x_0\}$ (Betrag ohne Vorzeichen) erzeugt . ODD-Parity bedeutet, daß das Paritybit dann auf 1 gesetzt wird, wenn die Anzahl von 1-Bits im Datenwort X gerade oder 0 ist . (Somit ist die Quersumme über alle Bits einschließlich des Parity-Bits immer ungerade .)

- Geben Sie die Wahrheitstabelle an .
- Ermitteln Sie die DNF (disjunktive Normalform) .
- Skizzieren Sie das zugehörige KV-Diagramm . Läßt sich die Funktion minimieren? (Begründung !)
- Realisieren Sie den Generator mithilfe eines 16:1 Multiplexers (Schaltung).
- Vereinfachen Sie die Schaltung, indem Sie nur einen 8:1 Multiplexer verwenden (Schaltung und kurze Funktionsbegründung) . Verwenden Sie die Variable x_0 bzw. $\bar{x}_0$ an den Dateneingängen des Multiplexers .

Aufgabe 2.20 (Klausur F95)

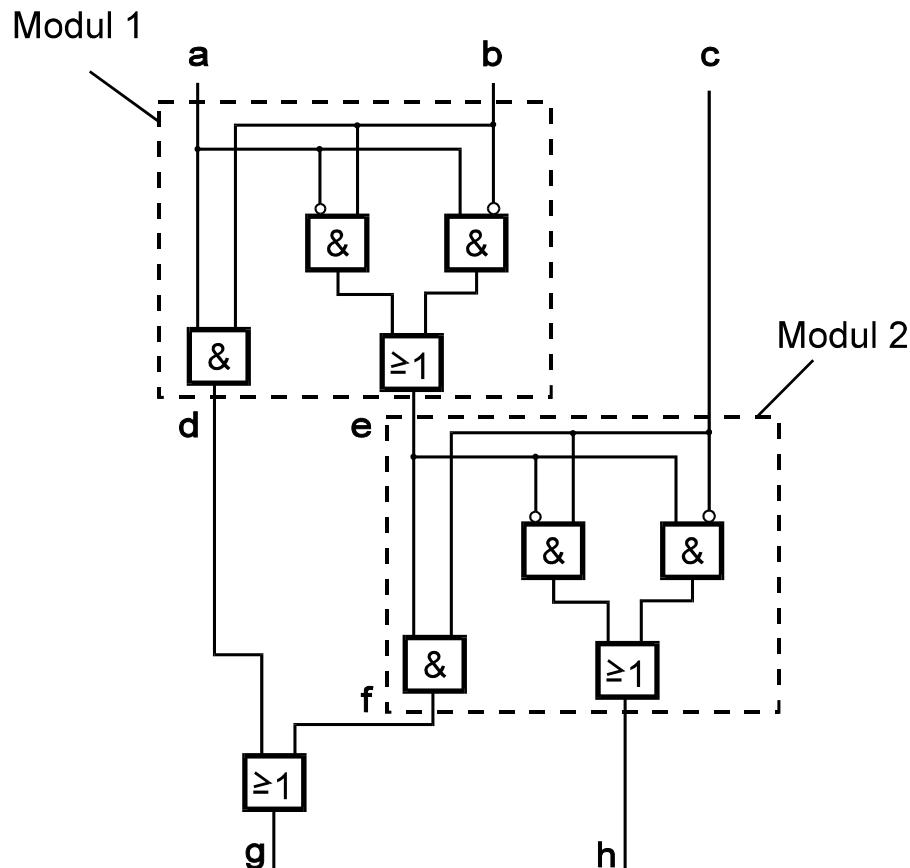
Es soll ein Schaltnetz entwickelt werden, das in Abhängigkeit einer Steuervariable x_3 im Betrag-Vorzeichen-Format codierte dreistellige Dualzahlen $x=\{x_2,x_1,x_0\}$ in dreistellige Dualzahlen $y=\{y_2,y_1,y_0\}$ umwandelt, die für $x_3=0$ im Zweierkomplement-Format und für $x_3=1$ im Offset-Binary-Format dargestellt sind .



- a) Welche Wertebereiche lassen sich mit einer dreistelligen Dualzahl im Betrag-Vorzeichen-, im Zweierkomplement- und im Offset-Binary_format darstellen ?
- b) Geben Sie die Wahrheitstabelle für das obige Schaltnetz an .
- c) Ermitteln Sie die DNF (disjunktive Normalform) für die Variablen y_2, y_1 und y_0 .
- d) Geben Sie die minimale DF nach einer Minimierung mit dem KV-Diagramm für die Variablen y_2, y_1 und y_0 an .
- e) Realisieren Sie die minimalen Formen von y_2, y_1 und y_0 mit einem PLA .
- f) Geben Sie eine alternative Realisierung an, bei der zuerst die Zahl x vom Betrag-Vorzeichen-Format mit einem ersten Schaltnetz S (Blockdarstellung) in das Zweierkomplement-Format gewandelt wird und nachfolgend mit einer Gatterschaltung in Abhängigkeit von x_3 die Umwandlung in das Offset-Binary-Format erfolgt .

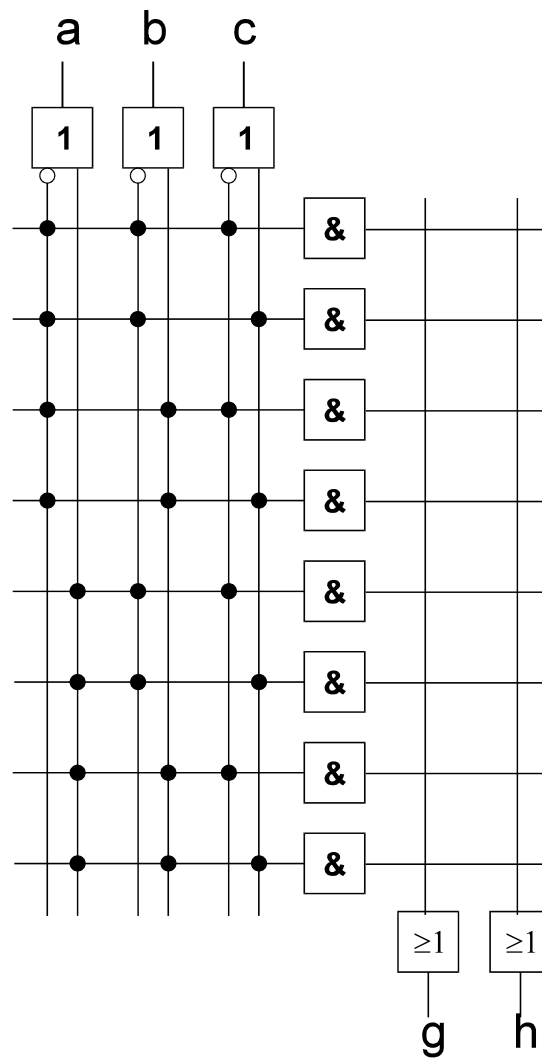
Aufgabe 2.21

Das folgende Schaltnetz besteht aus zwei identischen Modulen und einem weiteren ODER-Gatter.



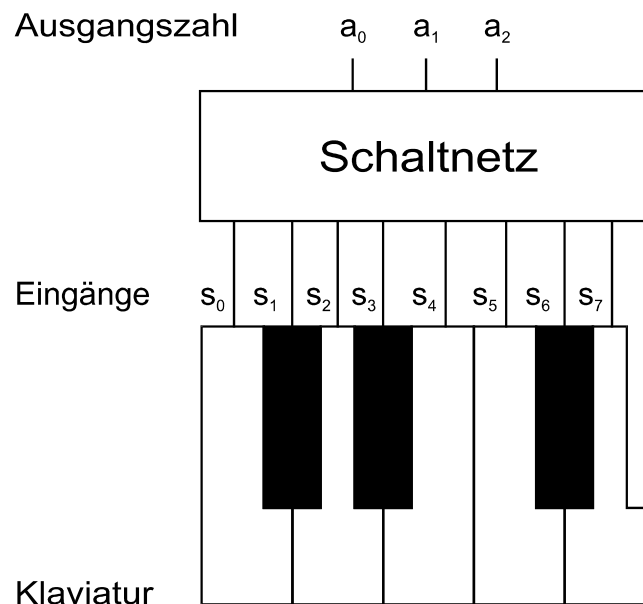
- Stellen Sie eine Wahrheitstabelle für die Variablen **a - h** auf.
- Geben Sie die Booleschen Gleichungen für die Variablen **d - h** sowohl als DNF als auch in minimierter Form an.
- Drücken Sie die Ausgangsvariablen **g** und **h** in Abhängigkeit der Zwischenergebnisse **d - f** aus.
- Welche weiteren Minimierungsmöglichkeiten für die Gleichungen **a - f** außer denen, die unmittelbar aus einem KV-Diagramm abzulesen sind, gibt es? Geben Sie diese für die Gleichungen für **e** und **h** an.
- Welche Funktion hat dieses Schaltnetz?
- Realisieren Sie die Gleichungen für **g** und **h** mittels eines PROMs.
- Warum ist hier ein PROM eine geeignetere Struktur als z.B. ein PAL?

PROM für Aufgabenteil h)



Aufgabe 2.22

Für die Ansteuerung eines monophonen (einstimmigen) Keyboards über eine Klaviatur soll ein Schaltnetz entworfen werden. Jeder Taste s soll dabei die Dualzahl $\{a_2 a_1 a_0\}$ (a_0 = LSB) zugeordnet werden. $s_i = 1$ bedeutet, daß Taste i gedrückt wird. Werden mehrere Tasten gleichzeitig betätigt, so soll der Wert der niedrigsten Taste ausgegeben werden. Wird keine Taste gedrückt, soll der Wert 0 ausgegeben werden. Es werden zunächst insgesamt 8 Tasten betrachtet.

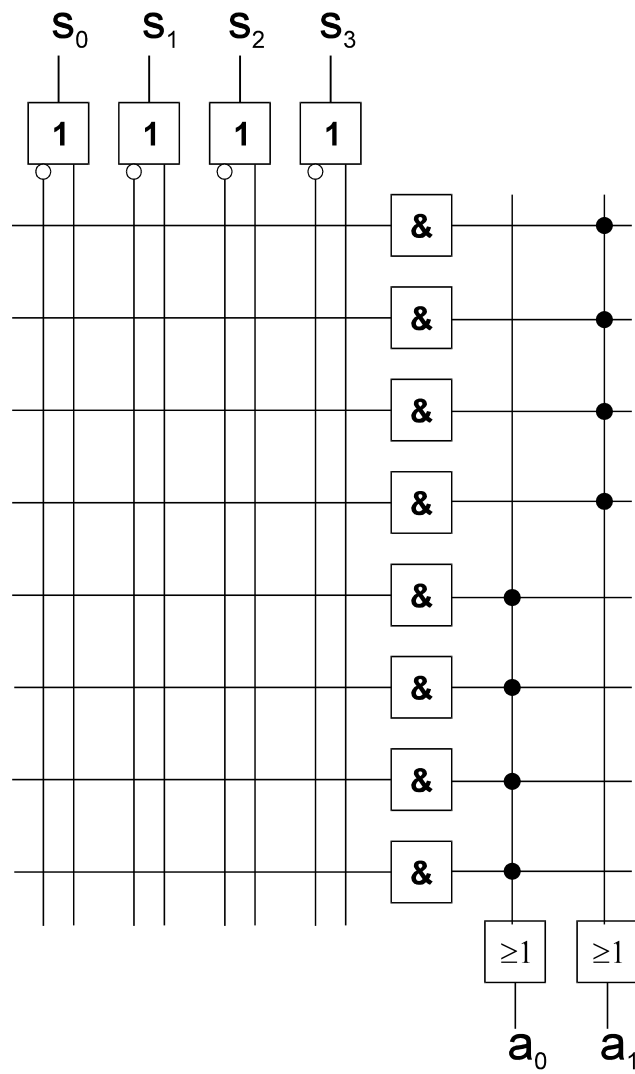


- Welche Besonderheit charakterisiert die dem Schaltnetz zugehörige Wahrheitstabelle?
- Wie heißt das Bauelement, das genau die für dieses Schaltnetz erforderliche Funktion erfüllt?
- Die Funktion des Schaltnetzes werde insoweit geändert, daß bei gleichzeitigem Betätigen mehrerer Tasten der Wert der höchsten Taste ausgegeben wird. Geben Sie die Wahrheitstabelle an, oder beschreiben Sie, wie sie aussieht.

Es sollen im Folgenden nur noch die Tasten s_0 bis s_3 und damit die Ausgänge a_0 und a_1 betrachtet werden, wobei die höchste Taste Priorität hat:

- Geben Sie die minimalen Funktionen für a_0 und a_1 an.
- Tragen Sie die erforderlichen Verbindungen für a_0 und a_1 in die UND-Matrix des PALs ein.
- Warum bietet sich ein PAL im Gegensatz zu einem PROM zur Realisierung dieser logischen Funktion an?

PAL für Aufgabenteil e)



Aufgabe 2.23

Das Minimierungsverfahren nach Quine-McCluskey basiert auf der tabellengestützten Vereinfachung von Termen, die sich nur in einer Variablen unterscheiden. Angewendet wird dabei die systematische Suche nach *Primtermen*, die sich nicht weiter vereinfachen lassen und die anschließende Ermittlung *wesentlicher* Primterme (s. Skriptum).

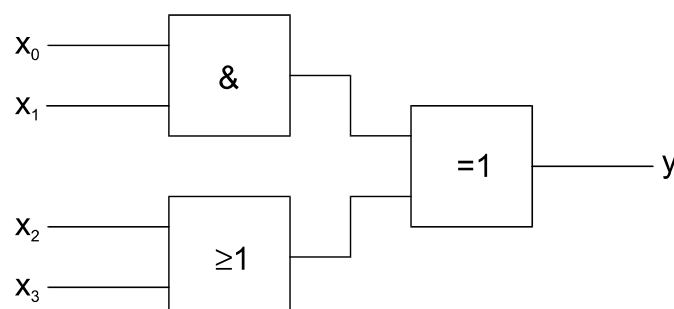
Gegeben ist die Wahrheitstabelle einer fünfstelligen Booleschen Funktion, deren Funktionswert bei den angegebenen Belegungen 1 und sonst 0 ist. Diese Funktion soll mit dem Verfahren nach Quine-McCluskey minimiert werden.

dezimales Äquivalent		x_4	x_3	x_2	x_1	x_0		y
8		0	1	0	0	0		1
9		0	1	0	0	1		1
24		1	1	0	0	0		1
25		1	1	0	0	1		1

- Bilden Sie eine Mintermtabelle, in der nach Anzahl der enthaltenen Einsen gruppiert wird. Bilden Sie in dieser Tabelle *alle* möglichen Vereinfachungen bis nur noch Primterme enthalten sind.
- Gibt es unwesentliche, durch Überdeckungen überflüssige Primterme, die weggelassen werden können? (Begründung!)
- Geben Sie die sich hieraus ergebende Boolesche Funktion an.
- Tragen Sie in ein KV-Diagramm mit 5 Variablen die gegebene Boolesche Funktion ein, und geben Sie dort die zum obigen Tabellenverfahren äquivalenten Minimierungsschritte an.

Aufgabe 2.24

Gegeben sei folgende Gatterschaltung:

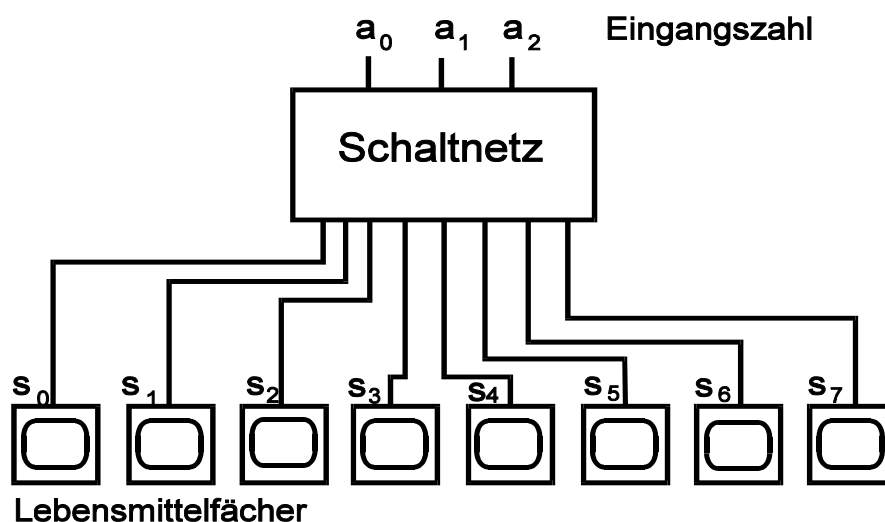


- Geben Sie die vollständige Wahrheitstabelle an .
- Geben Sie die Funktion $y = f(x_3, x_2, x_1, x_0)$ in der minimalen disjunktiven Form an .
- Verwenden Sie zur Minimierung das beigefügte KV-Diagramm .
- Realisieren Sie die gleiche Boolesche Funktion $y = f(x_3, x_2, x_1, x_0)$ mit einem 8:1 Multiplexer .

Aufgabe 2.25 (Klausur H95)

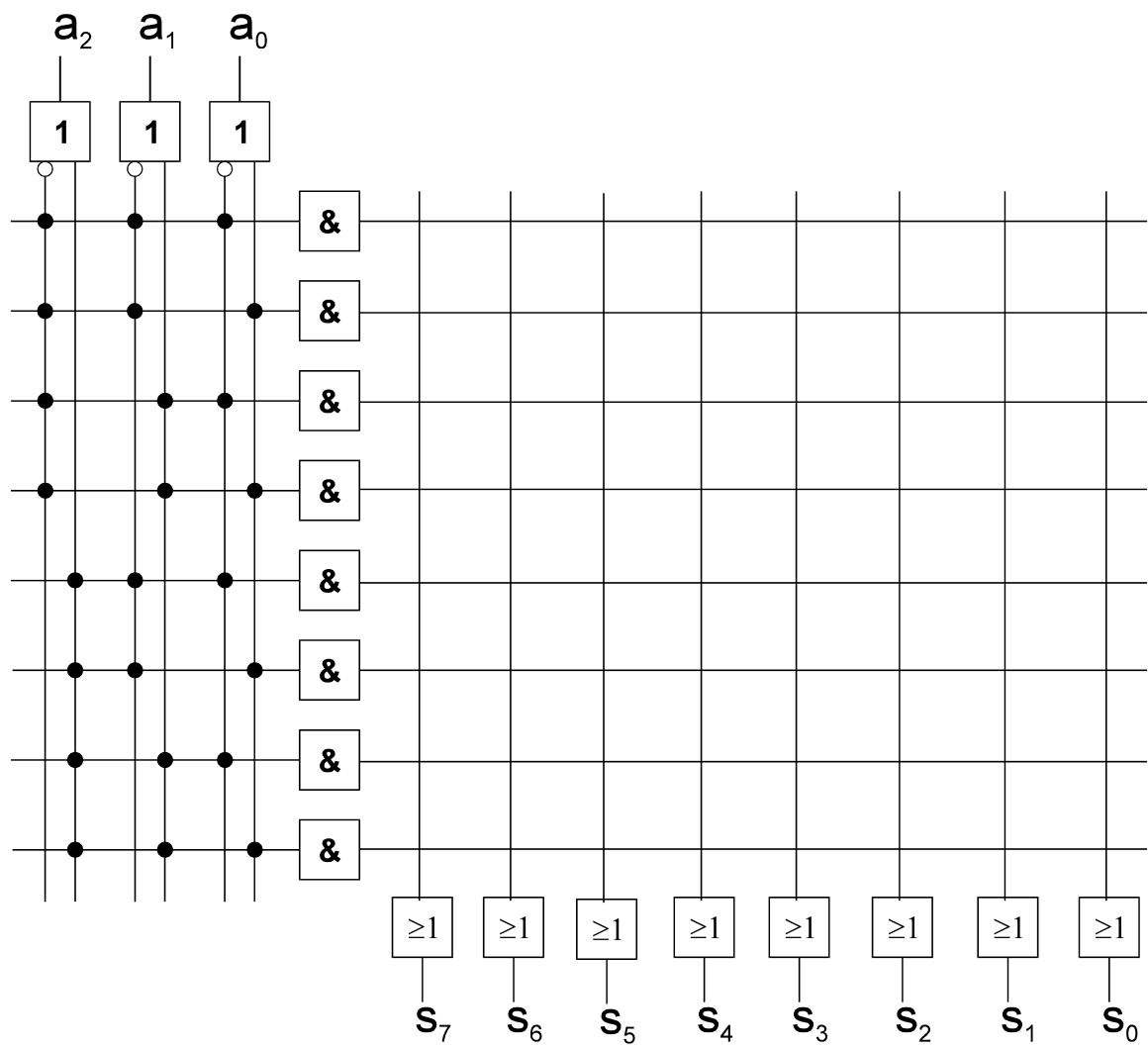
Bei einem Lebensmittelautomaten mit 8 Fächern kann durch Eingabe einer Zahl $\{a_0, a_1, a_2\}$ zwischen 0 und 7 jeweils das Steuersignal zum Öffnen des entsprechenden Faches gegeben werden.

($S_i = 1$ bedeutet Öffnen des Faches i)



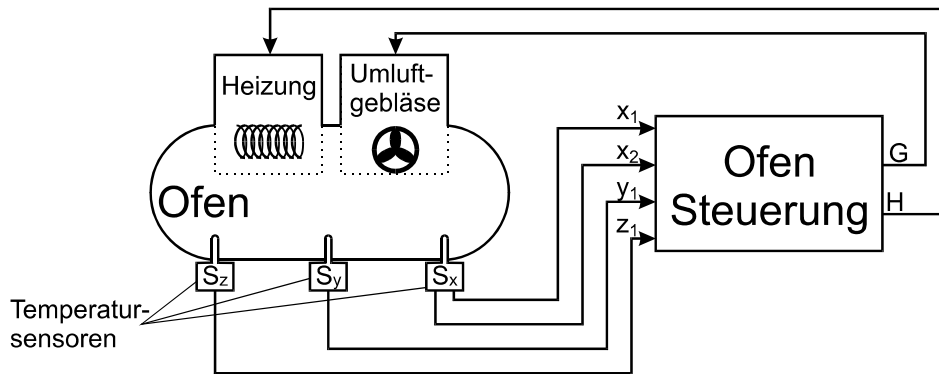
- Welche Besonderheit charakterisiert die zugehörige Wahrheitstabelle, die dieses Schaltnetz beschreibt ?
- Welches Bauelement erfüllt genau die für dieses Schaltnetz erforderliche Funktion ?
- Die Funktion des Schaltnetzes werde insoweit geändert, daß sich immer alle Fächer mit einer Nummer kleiner oder gleich der eingegebenen Zahl öffnen, z.B.: Eingangszahl = 5 $\Rightarrow$ Es öffnen sich die Fächer $S_0 - S_5$. Geben Sie die Wahrheitstabelle an, oder beschreiben Sie wie sie aussieht.
- Geben Sie die minimalen Funktionen für S_5 und S_1 aus Teil c) an.
- Warum bietet sich bei einer Realisierung der logischen Funktionen für die S_i aus Teil c) ein PROM als günstige Struktur an ?
- Sensoren an den einzelnen Fächern sollen die Zustände (offen / geschlossen) abgreifen. Es soll ermittelt werden, welches das Fach mit der höchsten Zahl ist, das geöffnet ist. Welches Bauelement bietet sich nun zur Realisierung dieser logischen Funktion an?

PROM für Aufgabenteil e)



Aufgabe 2.26 (KlausurF97)

Gegeben sei der folgende industrielle Ofen, bestehend aus einer Brennkammer mit Heizung und Umluftgebläse (zum Ausgleich von Temperaturunterschieden), sowie 3 Temperatursensoren, von denen zwei die Einhaltung einer Mindesttemperatur kontrollieren, und der dritte zusätzlich noch das Überschreiten einer oberen Temperaturgrenze signalisieren kann.



Die Sensoren S_x, S_y und S_z liefern abhängig von der Temperatur folgende Werte:

$(x_1, x_2) = \begin{cases} (1,0) & \text{falls Temperatur am Sensor } S_x \text{ zu niedrig} \\ (0,0) & \text{falls Temperatur am Sensor } S_x \text{ richtig} \\ (0,1) & \text{falls Temperatur am Sensor } S_x \text{ zu hoch} \end{cases}$	
$y_1 = \begin{cases} 1 & \text{falls Temperatur bei } S_y \text{ zu niedrig} \\ 0 & \text{falls Temperatur bei } S_y \text{ richtig} \end{cases}$	$z_1 = \begin{cases} 1 & \text{falls Temperatur bei } S_z \text{ zu niedrig} \\ 0 & \text{falls Temperatur bei } S_z \text{ richtig} \end{cases}$

Für diesen Ofen ist ein Schaltnetz zu entwerfen, das mit Hilfe der Sensorinformation die Heizung und das Umluftgebläse steuert.

Das Einschalten von Heizung und Gebläse soll dabei nach den folgenden Regeln geschehen:

- Heizung ein ($H=1$), - wenn mindestens zwei Sensoren eine zu niedrige Temperatur messen und S_x nicht gleichzeitig eine zu hohe Temperatur signalisiert.
- Heizung aus ($H=0$) für alle anderen auftretenden Fälle.
- Gebläse einschalten ($G=1$),
 - wenn Sensor S_x eine zu hohe Temperatur signalisiert
 - wenn sowohl S_y als auch S_z eine zu niedrige und S_x gleichzeitig richtige Temperatur signalisieren
 - wenn S_x eine zu niedrige Temperatur und gleichzeitig sowohl S_y als auch S_z richtige Temperatur signalisieren.
- Gebläse aus ($G=0$) für alle anderen auftretenden Fälle.

- a) Stellen Sie die Wahrheitstabelle für die Steuerung auf. Gibt es „don't care“-Fälle?
- b) Geben Sie die Booleschen Gleichungen für die Variablen **G** und **H** sowohl als DNF als auch in minimierter Form an (Minimierung mit KV-Diagramm)
- c) Realisieren Sie die Funktion für **H** unter ausschließlicher Verwendung von **NOR**-Gattern mit beliebig vielen Eingängen. Bringen sie dazu zunächst die boolesche Gleichung für **H** in eine entsprechende Form

Aufgabe 2.27

Das Minimierungsverfahren nach Quine-McCluskey basiert auf der tabellengestützten Vereinfachung von Termen, die sich nur in einer Variablen unterscheiden. Angewendet wird dabei die systematische Suche nach Primtermen, die sich nicht weiter vereinfachen lassen, und die anschließende Ermittlung wesentlicher Primterme (s. Skriptum).

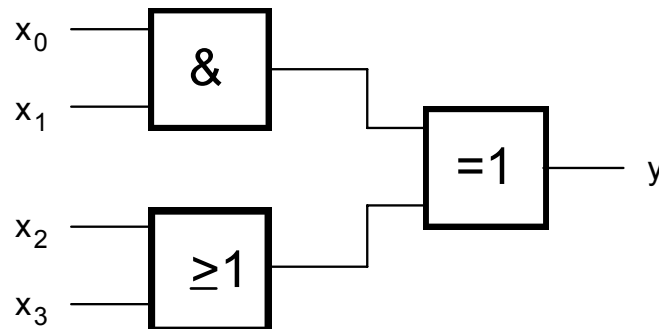
Gegeben ist die Wahrheitstabelle einer fünfstelligen Booleschen Funktion, deren Funktionswert bei den angegebenen Belegungen 1 und **sonst 0 ist**. Diese Funktion soll mit dem Verfahren nach Quine-McCluskey minimiert werden.

dezimales Äquivalent		x_4	x_3	x_2	x_1	x_0		y
0		0	0	0	0	0		1
2		0	0	0	1	0		1
4		0	0	1	0	0		1
6		0	0	1	1	0		1
16		1	0	0	0	0		1
18		1	0	0	1	0		1
20		1	0	1	0	0		1
22		1	0	1	1	0		1

- Bilden Sie eine Mintermtabelle, in der nach Anzahl der enthaltenen Einsen gruppiert wird. Bilden Sie in dieser Tabelle **alle** möglichen Vereinfachungen bis nur noch Primterme enthalten sind.
- Gibt es unwesentliche durch Überdeckungen überflüssiger Primterme, die weggelassen werden können ? (Begründung!)
- Geben Sie die sich hieraus ergebende Boolesche Funktion an.
- Überprüfen Sie das obige Ergebnis durch Minimierung im KV-Diagramm.

Aufgabe 2.28 (Klausur H95)

Gegeben sei folgende Gatterschaltung:



- Geben Sie die vollständige Wahrheitstabelle an.
- Geben Sie die Funktion $y = f(x_3, x_2, x_1, x_0)$ in der minimalen disjunktiven Form an. Verwenden Sie zur Minimierung das beigefügte KV-Diagramm.
- Realisieren Sie die gleiche Boolesche Funktion $y = f(x_3, x_2, x_1, x_0)$ mit einem 8:1 Multiplexer.

Aufgabe 2.29 (Klausur H95)

Das Minimierungsverfahren nach Quine-McCluskey basiert auf der tabellengestützten Vereinfachung von Termen, die sich nur in einer Variablen unterscheiden. Angewendet wird dabei die systematische Suche nach *Primtermen*, die sich nicht weiter vereinfachen lassen und die anschließende Ermittlung *wesentlicher* Primterme (s. Skriptum).

Gegeben ist die Wahrheitstabelle einer fünfstelligen Booleschen Funktion, deren Funktionswert bei den angegebenen Belegungen 1 und sonst 0 ist. Diese Funktion soll mit dem Verfahren nach Quine-McCluskey minimiert werden.

dezimales Äquivalent	x_4	x_3	x_2	x_1	x_0		y
4	0	0	1	0	0		1
5	0	0	1	0	1		1
13	0	1	1	0	1		1
15	0	1	1	1	1		1

- a) Bilden Sie eine Mintermtabelle, in der nach Anzahl der enthaltenen Einsen gruppiert wird. Bilden Sie in dieser Tabelle alle möglichen Vereinfachungen bis nur noch Primterme enthalten sind.
- b) Ermitteln Sie in einer zweiten Tabelle die wesentlichen Primterme, so daß nicht notwendige Primterme erkennbar sind und weggelassen werden können. (Begründung!)
- c) Geben Sie die sich hieraus ergebende Boolesche Funktion an.
- d) Geben Sie auch zu den unter 5.1 durchgeführten einzelnen Vereinfachungen auch die entsprechenden algebraischen Vereinfachungsschritte an.

Aufgabe 2.30 (Klausur H96)

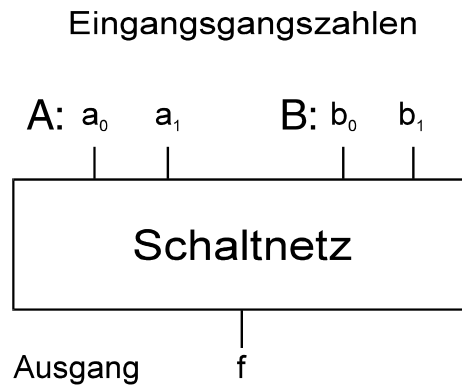
Zur Kontrolle einer Sicherheitsschleuse ist es notwendig zu überprüfen, ob mehr als eine Tür der Schleuse geöffnet ist. Das zu realisierende Schaltnetz hat 3 Eingänge, die den Zustand der Türen repräsentieren (0=geschlossen, 1=offen). Der Ausgang a soll auf 1 gesetzt werden, wenn genau 1 Tür geöffnet ist. Der Ausgang b soll auf 1 gesetzt werden, wenn mindestens 2 Türen geöffnet sind. Aus technischen Gründen lassen sich Tür 0 und Tür 1 nicht gleichzeitig öffnen.



- a) Stellen Sie die Wahrheitstabelle für das Schaltnetz auf.
- b) Geben Sie die Booleschen Gleichungen für die Variablen a und b sowohl als DNF als auch in minimierter Form an (Minimierung mit KV-Diagramm).
- c) Realisieren Sie das Schaltnetz unter ausschließlicher Verwendung von NAND-Gattern mit beliebig vielen Eingängen. Bringen Sie dazu zunächst die booleschen Gleichungen für a und b in eine entsprechende Form.
- d) Realisieren Sie die Gleichungen für a und b mittels eines PROMs.

Aufgabe 2.31 (Klausur H96)

Für einen Glücksspielautomaten soll ein Schaltnetz entworfen werden. Es hat die Funktion bei Übereinstimmung der beiden Dualzahlen A und B den Ausgang f auf 1 zu setzen.



- a) Stellen Sie die Wahrheitstabelle auf.
- b) Wie heißt das Bauelement, das genau die für dieses Schaltnetz erforderliche Funktion erfüllt ?
- c) Läßt sich die boolsche Funktion für f minimieren? Begründung !
- d) Realisieren Sie das Schaltnetz mit einem 8:1-Multiplexer.

Es soll sich im Folgenden die Funktion des Schaltnetzes insofern ändern, daß der Ausgang f auf 1 gesetzt wird wenn $A < B$ ist:

- e) Geben Sie die minimale Funktion für f an.
- f) Tragen Sie die erforderlichen Verbindungen für f in die UND-Matrix eines PALs ein.

Aufgabe 2.32 (Klausur H96)

Das Minimierungsverfahren nach Quine-McCluskey basiert auf der tabellengestützten Vereinfachung von Termen, die sich nur in einer Variablen unterscheiden. Angewendet wird dabei die systematische Suche nach *Primtermen*, die sich nicht weiter vereinfachen lassen und die anschließende Ermittlung *wesentlicher* Primterme (s. Skriptum).

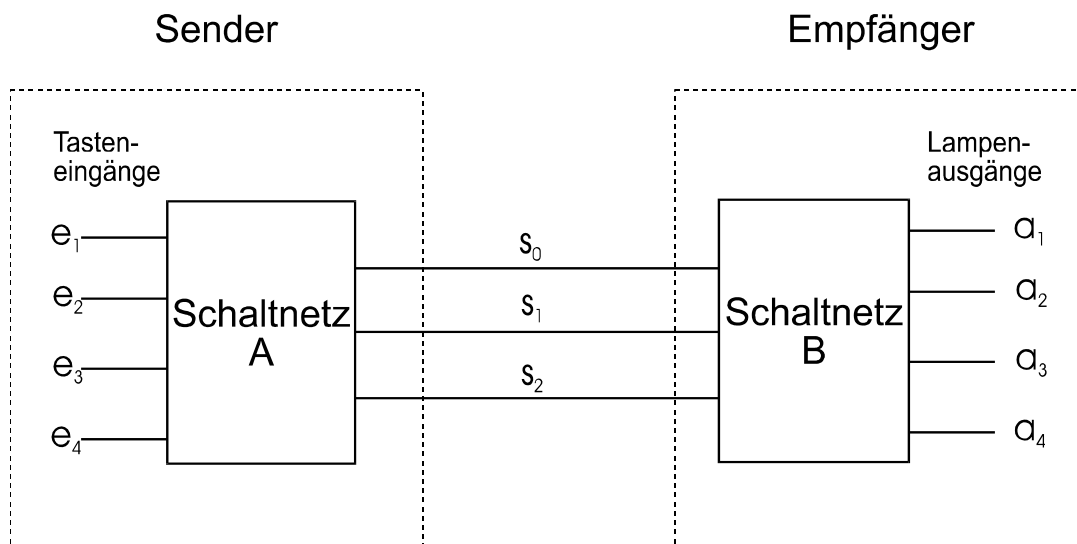
Gegeben ist die Wahrheitstabelle einer fünfstelligen Booleschen Funktion y , deren Funktionswert bei den angegebenen Belegungen 1 und sonst 0 ist. Diese Funktion soll mit dem Tabellen-Verfahren minimiert werden.

dezimales Äquivalen t	x_4	x_3	x_2	x_1	x_0	y
4	0	0	1	0	0	1
8	0	1	0	0	0	1
12	0	1	1	0	0	1
20	1	0	1	0	0	1
24	1	1	0	0	0	1
28	1	1	1	0	0	1

- Bilden Sie eine Mintermtabelle, in der nach Anzahl der enthaltenen Einsen gruppiert wird. Bilden Sie in dieser Tabelle *alle* möglichen Vereinfachungen bis nur noch Primterme enthalten sind.
- Gibt es doppelte und/oder unwesentliche durch Überdeckungen überflüssige Primterme, die weggelassen werden können? Wenn ja, welche sind dies? Zeigen Sie dies z. B. anhand einer Primtermtabelle.
- Geben sie die sich hieraus ergebende Boolesche Funktion an.
- Tragen Sie in ein KV-Diagramm mit 5 Variablen die oben angegebenen Werte der Booleschen Funktion ein. Geben Sie sämtliche jeweils „benachbarte“ Feldpaare an. Warum kann man im KV-Diagramm mit 5 Variablen nicht in jedem Fall Vierergruppen zusammenliegender Einsen zusammenfassen?

Aufgabe 2.33 (Klausur F97)

Für die Fernsteuerung von 4 Signallampen a_1 - a_4 mit Hilfe von 4 Tasten e_1 - e_4 sollen 3 Signalleitungen s_0 - s_2 verwendet werden. Es dürfen niemals mehrere Lampen gleichzeitig leuchten. Wenn mehrere Tasten gleichzeitig gedrückt werden, soll nur die Lampe mit der höchsten Numerierung aufleuchten.



- Wieviel Lampen lassen sich maximal mit 3 Signalleitungen ansteuern ?
- Wie heißt das Bauelement, das genau die für Schaltnetz A erforderliche Funktion erfüllt ?

Die Signalleitung s_2 soll anzeigen, ob eine Taste gedrückt ist oder nicht (0 = keine Taste gedrückt, 1 = mindestens 1 Taste gedrückt). s_0 und s_1 dienen zur Übertragung der Tastennummer (s_0 = LSB).

- Minimieren Sie die boolsche Funktion für s_1 in Abhängigkeit von e_1 - e_4
- Realisieren Sie das Schaltnetz B mit einem 4:1-Multiplexer.
- Tragen Sie die erforderlichen Verbindungen für s_1 in die UND-Matrix eines PALs ein. Warum bietet sich ein PAL im Gegensatz zu einem PROM zur Realisierung dieser logischen Funktion an?
- Wie läßt sich die Priorität der Tasten senderseitig unter Verwendung einfacher Gatter umkehren ?

Aufgabe 2.34 (Klausur H97)

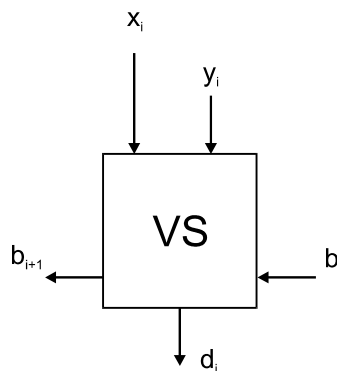
Entworfen werden soll ein Schaltwerk zur Subtraktion zweier Betragsszahlen $\mathbf{X}=\{x_0, x_1, x_2, x_3\}$ und $\mathbf{Y}=\{y_0, y_1, y_2, y_3\}$ mit jeweils 4 Bit Auflösung.

Analog zu den sogenannten „Ripple-Carry-Addierern“ soll dabei ein „Ripple-Borrow-Prinzip“ verwendet werden.

- a) Entwerfen Sie ein Subtraktionswerk, das die Subtraktion $\mathbf{X}-\mathbf{Y}=\mathbf{D}$ ausführt.

Das Subtraktionswerk soll aus vier Vollsubtrahierern bestehen, die jeweil ein Bit der Zahl $\mathbf{Y}$ von einem Bit der Zahl $\mathbf{X}$ abzieht und dabei ein Borrow-Bit berücksichtigt.

Der Aufbau eines Vollsubtrahierers ist folgendem Blockdiagramm zu entnehmen.



Skizzieren Sie die Verschaltung von vier Vollsubtrahierern zum resultierenden Subtraktionswerk für 4-Bit-Zahlen.

- b) Stellen Sie die Wahrheitstabelle für einen Vollsubtrahierer auf.
 c) Geben Sie die DNF für das Borrow-Bit $\mathbf{b}$ und das Differenz-Bit $\mathbf{d}$ an.
 d) Minimieren Sie soweit möglich die Gleichungen für $\mathbf{b}$ und $\mathbf{d}$. Verwenden Sie hierzu die beigefügten KV-Diagramme.

Gibt es für $\mathbf{d}$ noch weitere Minimierungsmöglichkeiten außer denen, die man durch Zusammenfassen benachbarter gleicher Felder im KV-Diagramm erhält?

Wenn ja, dann geben Sie die minimierte Gleichung für $\mathbf{d}$ an.

- e) Eine weitere Realisierungsform dieses Betrags-Subtrahierers ist mit einem Festwertspeicher (PROM, PAL etc.) möglich. Hierbei werden die zu subtrahierenden Zahlen an den Eingang des Festwertspeichers angelegt und die Differenz erscheint am Ausgang des Festwertspeichers.

Wie groß muß ein PROM zur Subtraktion zweier Betragsszahlen $\mathbf{X}$ und $\mathbf{Y}$ mit jeweils $\mathbf{n}$ -Bit Auflösung ausgelegt werden.

- f) Warum ist die Verwendung eines PROMs hier vorteilhaft?

Aufgabe 2.35 (Klausur H97)

Gegeben ist die Wahrheitstabelle einer **fünfstelligen** Booleschen Funktion (**f**), deren Funktionswert bei den angegebenen Belegungen 1 und **sonst 0 ist**. Diese Funktion soll mit dem **Verfahren nach Quine-McCluskey** minimiert werden.

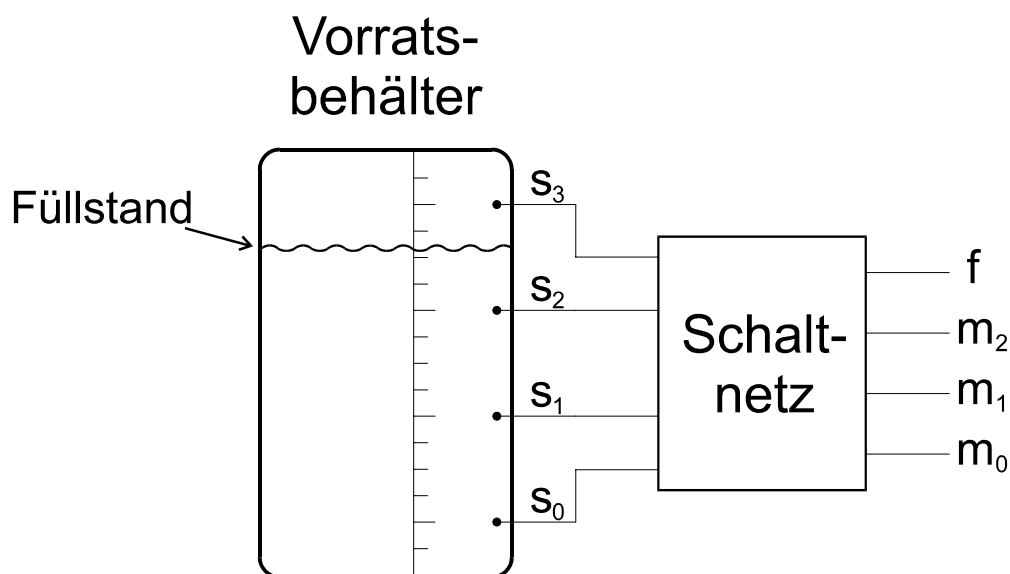
Dezimales Äquivalent		x_4	x_3	x_2	x_1	x_0		f
12		0	1	1	0	0		1
13		0	1	1	0	1		1
28		1	1	1	0	0		1
29		1	1	1	0	1		1
31		1	1	1	1	1		1

- Bilden Sie eine Mintermtabelle, in der nach Anzahl der enthaltenen Einsen gruppiert wird. Bilden Sie in dieser Tabelle **alle** möglichen Vereinfachungen bis nur noch Primterme enthalten sind.
- Ermitteln Sie in einer zweiten Tabelle die wesentlichen Primterme, so daß nicht notwendige Primterme erkennbar sind und weggelassen werden können (**Begründung!**)
- Geben Sie die sich hieraus ergebende Boolesche Funktion an.
- Überprüfen Sie das obige Ergebnis durch Minimierung der Funktion f im KV-Diagramm. **Begründen Sie Ihre Lösung!**

Aufgabe 2.36 (Klausur F98)

Für eine Industriekaffeemaschine soll ein Schaltnetz entworfen werden, das den Füllstand des Kaffeevorratsbehälters anzeigt, sowie im Falle unmöglicher Meßwerte eine Fehlermeldung anzeigt.

Der Füllstand wird mit 4 Sensoren s_0 bis s_3 gemessen, wobei die Sensoren jeweils den Wert „1“ ausgeben, wenn sich der Füllstand des Kaffees auf oder über der Sensorhöhe befindet.



An den Ausgängen m_0 bis m_2 des Schaltnetzes (m_0 =LSB) soll der Füllstand des Vorratsbehälters als Dualzahl (beginnend mit 0 für leer) ausgegeben werden. Wenn eine in der Praxis nicht mögliche Sensormeldung vorliegt (z.B. $s_1=1$, aber $s_0=0$), soll diese fehlerhafte Messung durch eine „1“ am Schaltnetz-Ausgang f angezeigt werden. Die Ausgänge m_0 bis m_2 besitzen im Falle einer fehlerhaften Messung keine Bedeutung.

- Wie viele verschiedene nicht fehlerhafte Füllstandszustände können durch die Sensoren gemessen werden?
- Stellen Sie die vollständige Wahrheitstabelle für f und m_0 bis m_2 in Abhängigkeit von s_0 bis s_3 auf. (Verwenden Sie die beigegefügte Wahrheitstabelle.)
- Geben Sie die minimale disjunktive Form der booleschen Funktion für f in Abhängigkeit von s_0 bis s_3 an. (Verwenden Sie das beigegefügte KV-Diagramm.)
- Realisieren Sie die minimierte boolesche Funktion f in Abhängigkeit von s_0 bis s_3 mit einem 8:1 Multiplexer.
- Realisieren Sie die minimierte boolesche Funktion f in Abhängigkeit von s_0 bis s_3 mit einem PAL. Tragen sie hierzu die erforderlichen Verbindungen für f in die UND-Matrix des auf der folgenden Seite dargestellten PAL ein.

- a) Warum bietet sich zur Realisierung dieser logischen Funktion ein PAL und kein PROM an?

Aufgabe 2.37 (Klausur F98)

Ein Unterbrecher (Interrupter) ist ein unentbehrlicher Teil eines Computers. Mit dem Interrupter kann die CPU die von den verschiedenen Peripheriegeräten gestellten Unterbrechungsanforderungen beantworten. Wenn mehrere Peripheriegeräte gleichzeitig um Unterbrechungsanforderungen gebeten haben, bedient die CPU nur das Peripheriegerät, das die höchste Priorität besitzt.

Angenommen wird hier, daß es insgesamt 4 Peripheriegeräte gibt, die die CPU bedienen soll. Dies sind jeweils

Tastatur I_0

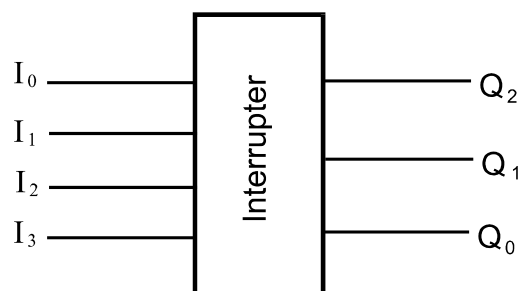
Festplattenlaufwerk I_1

Floppylaufwerk I_2

CD-Laufwerk I_3

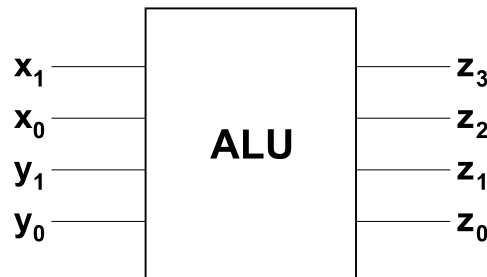
Die Priorität nimmt von I_0 zu I_3 ab. I_0 hat somit die höchste Priorität. Für die höchste Priorität gibt der Interrupter $\{11\}$ aus, nämlich $\{Q_1Q_0\}=\{11\}$ (Q_1 =MSB, Q_0 =LSB). Für die niedrigste Priorität ergibt sich $\{Q_1Q_0\}=\{00\}$. Liegt keine Anforderung vor, d.h. wenn $\{I_3I_2I_1I_0\}=\{0000\}$ gilt, dann gelten Q_1 und Q_0 als „don't care“.

Q_2 steht für das „Interrupter-Flag“. Das „Interrupter-Flag“ wird zunächst von der CPU gelesen. Wenn keine Anforderung von Peripheriegeräten vorliegt, gilt $Q_2=1$. Ansonsten gilt $Q_2=0$.



- Wie heißt das Bauelement, das die Interrupter-Funktion erfüllt ?
- Stellen Sie die Wahrheitstabelle für Q_2 , Q_1 , und Q_0 auf
- Geben Sie die Boolesche Gleichung für Q_2 , Q_1 , und Q_0 in minimierter Form an (Benutzen Sie die beigefügten KV-Diagramme).
- Nun sollen neben den 4 Peripheriegeräten (Tastatur, Festplattenlaufwerk, Floppylaufwerk und CD-Laufwerk) auch Maus, Drucker, Graphikkarte und Soundkarte von der CPU beantwortet werden. Wieviel Ausgangsbits des Interrupters werden benötigt ?

- e) Geben Sie Schaltungsrealisierungen für Q_2 , Q_1 und Q_0 (gemäß Aufgabenteil c) mithilfe von NAND-Gattern und Negations-Gattern an; formen Sie hierzu die Ergebnisgleichungen um.

Aufgabe 2.40 (Klausur H98)

Für das Rechenwerk eines einfachen Computers soll eine arithmetisch logische Einheit (ALU) entworfen werden. Die Hauptanwendung dieses Computers besteht aus einem Algorithmus, in dem sehr häufig die Funktion

$$z = x \cdot y + 1$$

berechnet werden muß, so daß diese in Hardware implementiert werden soll.

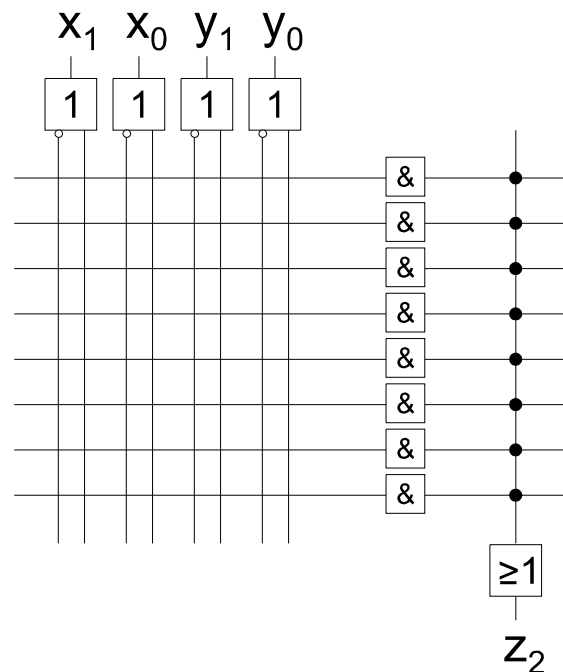
In dem Bild ist eine ALU dargestellt. Diese besitzt zwei Eingänge x und y mit jeweils 2 Bit Wortbreite (x_0 und y_0 = LSB) sowie einen Ausgang z mit 4 Bit Wortbreite (z_0 = LSB).

Die Zahlen x , y und z sind jeweils vorzeichenlos.

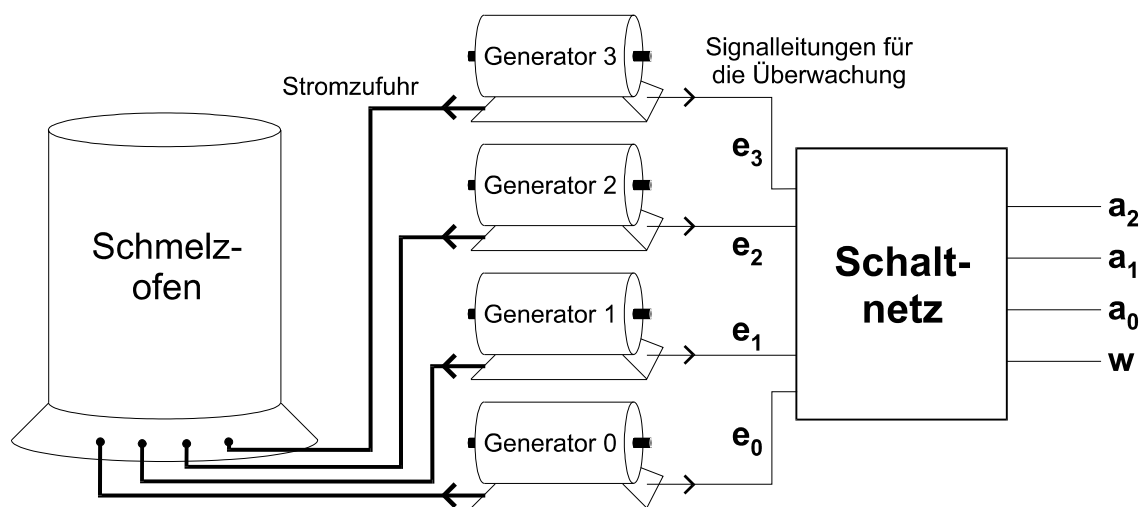
- a) Füllen Sie die Spalten für die dezimalen Werte der Eingangs- und Ausgangsvariablen aus, so daß die Funktion $z = x \cdot y + 1$ realisiert wird. Stellen Sie die vollständige Wahrheitstabelle für z_0 bis z_3 in Abhängigkeit von den Eingängen x_0 , x_1 , y_0 und y_1 auf.

	x_1	x_0	y_1	y_0	Dezimaler Wert von x	Dezimaler Wert von y	Dezimaler Wert von z	z_3	z_2	z_1	z_0
0	0	0	0	0							
1	0	0	0	1							
2	0	0	1	0							
3	0	0	1	1							
4	0	1	0	0							
5	0	1	0	1							
6	0	1	1	0							
7	0	1	1	1							
8	1	0	0	0							
9	1	0	0	1							
10	1	0	1	0							
11	1	0	1	1							
12	1	1	0	0							
13	1	1	0	1							
14	1	1	1	0							
15	1	1	1	1							

- b) Geben Sie die minimale disjunktive Form der booleschen Funktionen für z_3 bis z_0 in Abhängigkeit von x_0 , x_1 , y_0 und y_1 an
- c) Realisieren Sie die boolesche Funktion z_2 in Abhängigkeit von x_0 , x_1 , y_0 und y_1 mit einem PAL (benutzen Sie die beigefügte Vorlage).



- d) Geben Sie eine Schaltungsrealisierung für die boolesche Funktion z_0 an, in der nur NOR-Gatter (mit 2 Eingängen) verwendet werden.
- e) Im folgenden soll angenommen werden, daß die Eingangswerte x und y Ergebnisse eines vorherigen Berechnungsschrittes sind, und daher die Eingangswertekombination $x=y=3$ nie auftreten kann. Geben Sie die sich hierdurch ergebende minimale disjunktive Form der booleschen Funktionen für z_3 und z_2 in Abhängigkeit von x_0 , x_1 , y_0 und y_1 an.

Aufgabe 2.39 (Klausur H98)

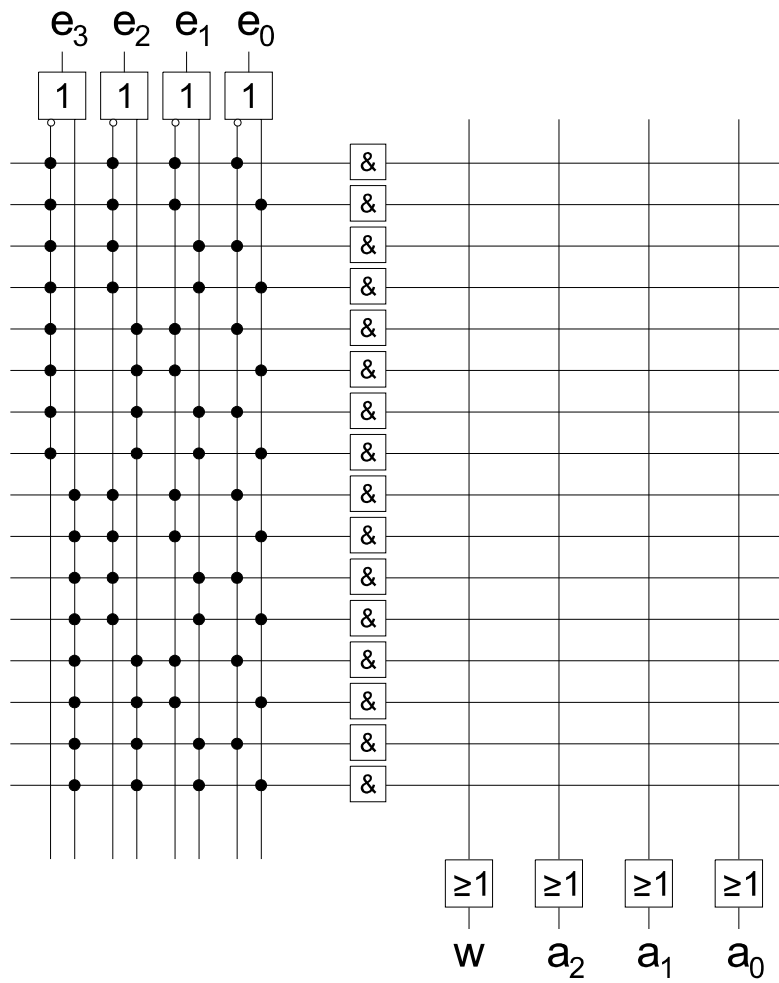
Um eine ausreichende Energieversorgung für einen strombetriebenen Schmelzofen zu gewährleisten, wird dieser aus insgesamt vier identischen Generatoren gespeist. Damit die benötigte Schmelztemperatur erzielt werden kann, müssen mindestens drei der Generatoren in Betrieb sein.

Es soll ein Schaltnetz zur Überwachung der Stromversorgung entwickelt werden. Die vier Generatoren melden an den Eingängen e_0 bis e_3 des Schaltnetzes jeweils eine „1“, falls sie in Betrieb sind. Falls ein Generator ausgeschaltet oder ausgefallen ist, wird eine „0“ gemeldet.

An den Ausgängen a_0 bis a_2 soll die Anzahl der Generatoren, die in Betrieb sind, als Dualzahl angezeigt werden (a_0 =LSB).

Wenn weniger als drei Generatoren in Betrieb sind, soll dieses durch eine Warnleuchte angezeigt werden, die am Schaltnetzausgang w angeschlossen ist (Lampe leuchtet bei $w=1$).

- a) Stellen Sie die vollständige Wahrheitstabelle für w und a_0 bis a_2 in Abhängigkeit von den Eingängen e_0 bis e_3 auf.
- b) Geben Sie die minimale disjunktive Form der booleschen Funktion für w in Abhängigkeit von e_0 bis e_3 an
- c) Realisieren Sie die boolesche Funktion w in Abhängigkeit von e_0 bis e_3 mit einem 8:1 Multiplexer.
- d) Realisieren Sie die boolesche Funktion w und a_0 bis a_2 in Abhängigkeit von e_0 bis e_3 mit einem PROM. Tragen Sie hierzu die erforderlichen Verbindungen für w und a_0 bis a_2 in die ODER-Matrix des dargestellten PROMs ein.

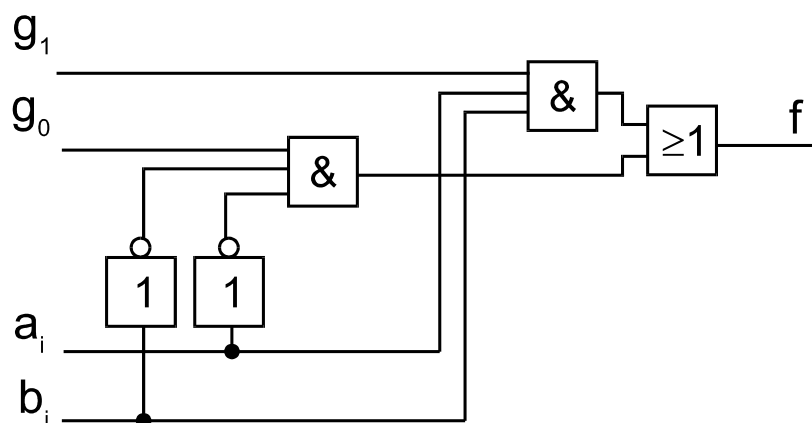


- e) Geben Sie eine boolesche Funktion für w in Abhängigkeit von a_0 bis a_2 an.

Aufgabe 2.40 (Klausur H98)

In einem Mikroprozessor soll eine arithmetisch-logische Einheit (ALU) in Bitslice-Technik realisiert werden. Bei der Bitslice-Technik wird die ALU aus einzelnen Blöcken zusammengesetzt, die bitweise rechnen und in diesem Fall jeweils zwei Variablen a_i und b_i zu einer Ausgangsvariablen f verknüpfen. Die logische Funktion kann mit g_1 und g_0 gesteuert werden.

Ein Block ist wie folgt aufgebaut:



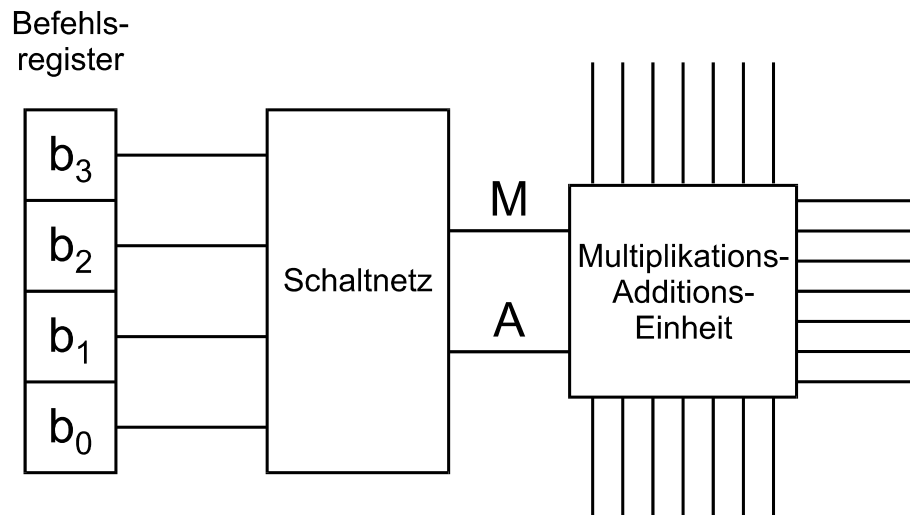
- Geben sie die Funktion für f in minimierter Form an.
- Tragen Sie von den 6 logischen Grundfunktionen UND, NAND, ODER, NOR, Antivalenz und Äquivalenz diejenigen in die *vorgegebene Tabelle* ein, die durch die Schaltung realisiert werden können.
- Wieviele Steuereingänge g_n benötigt man, wenn alle möglichen logischen Funktionen zwischen zwei Variablen realisiert werden sollen? Geben Sie für diesen Fall die Funktion f in minimierter Form an.
- Welcher Baustein bietet sich zur Realisierung dieser Schaltung an? Begründen Sie Ihre Antwort.

Tabelle zum Aufgabenteil b):

Dezimaler Wert	g_1	g_0	logische Funktion
0	0	0	
1	0	1	
2	1	0	
3	1	1	

Aufgabe 2.41 (Klausur F99)

Für die Steuerung einer Multiplikations-Additions-Einheit in einem RISC-Prozessor soll ein Schaltnetz entworfen werden. Dieses Schaltnetz soll 4 Bits (b_3 - b_0) im Befehlsregister auswerten und daraus zwei Steuersignale M und A für die Multiplikations-Additions-Einheit erzeugen.



Folgende Befehle sind auszuwerten (b_3 =MSB! , Befehlsformat also $b_3b_2b_1b_0$):

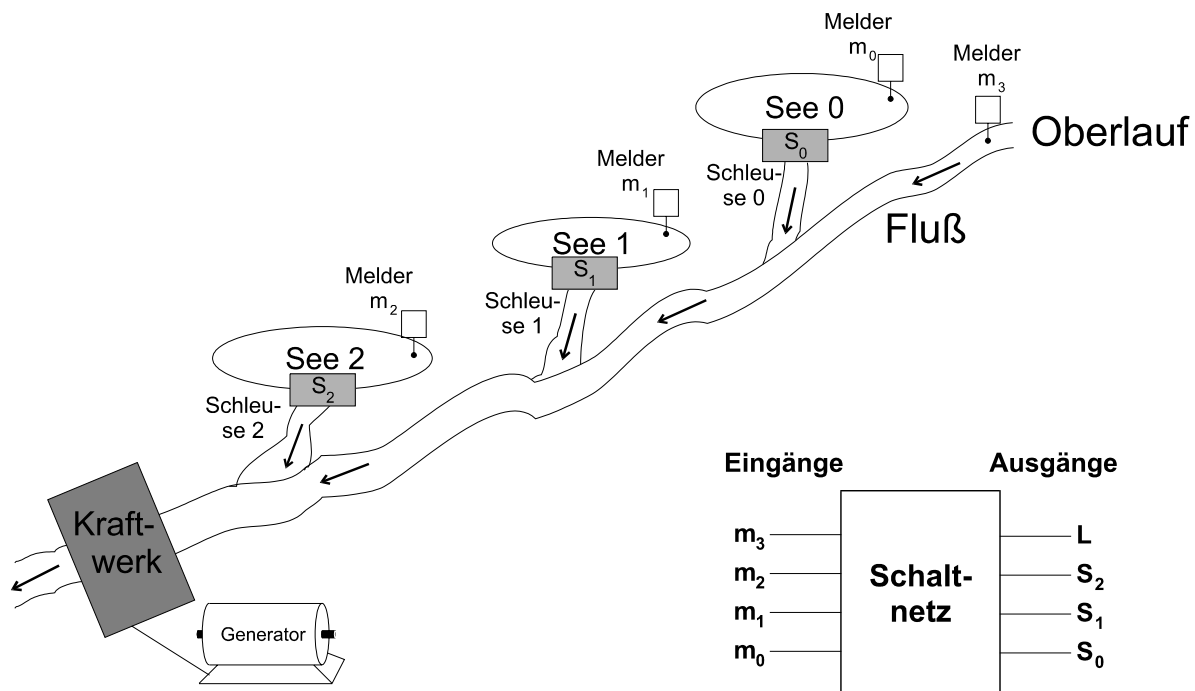
Addition aktiv 0111, 1111, 1101, 0101

Multiplikation aktiv 0110, 1110, 1011

Multiplikation & Addition aktiv 1010, 0010

Für eine Multiplikation muß $M=1$ und für eine Addition $A=1$ sein. Für alle anderen Fälle sollen $A=0$ und $M=0$ sein.

- Erstellen Sie die Wahrheitstabelle.
- Geben Sie die Funktionen für M und A in minimierter Form an.
- Realisieren Sie das Schaltnetz unter ausschließlicher Verwendung von NAND-Gattern mit beliebig vielen Eingängen.
- Realisieren Sie das Schaltnetz mit Hilfe eines PALs
Warum bietet es sich hier an, ein PAL zu verwenden ?

Aufgabe 2.42 (Klausur H95)

Für ein Wasserkraftwerk, das sich an einem Fluß befindet, soll ein Schaltnetz entworfen werden, das eine ausreichende Wasserzufuhr zum Kraftwerk gewährleistet. Am Oberlauf des Flusses sowie an drei Stauseen (See 0 bis See 2) sind hierzu jeweils Wasserstandsmelder (m_3 für den Fluß, m_2 bis m_0 für die Seen 2 bis 0) vorgesehen, die eine „1“ melden, falls an der entsprechenden Stelle genügend Wasser vorhanden ist, und eine „0“, wenn der Wasserstand zu niedrig ist.

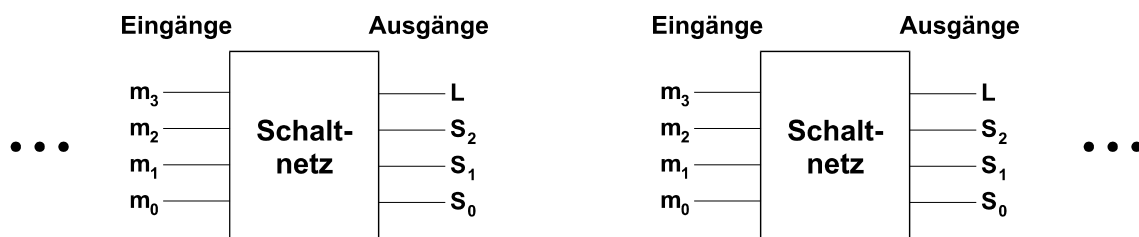
Abhängig von den jeweiligen Wasserständen soll das Schaltnetz jeweils die Schleusen S_0 bis S_2 steuern, wobei „1“ jeweils eine geöffnete Schleuse darstellt, und „0“ eine geschlossene.

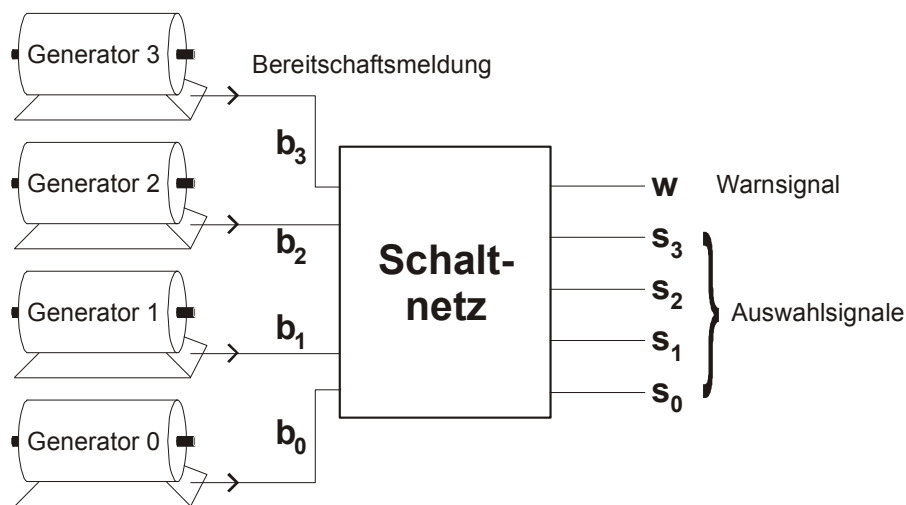
Hierbei sollen folgende Regeln gelten:

- Wenn der Fluß am Oberlauf genügend Wasser führt ($m_3=1$) sollen alle Schleusen geschlossen sein ($S_2=S_1=S_0=0$).
- Wenn der Fluß am Oberlauf nicht genügend Wasser führt, soll jeweils nur genau eine Schleuse geöffnet werden, und zwar die Schleuse, die am nächsten zum Oberlauf liegt und genügend Wasser besitzt. (Beispiel: See 0 und See 1 besitzen genügend Wasser $\Rightarrow$ Schleuse 0 wird geöffnet, da See 0 näher am Oberlauf)
- Wenn sowohl der Fluß, als auch alle Seen nicht genügend Wasser besitzen, soll die Warnlampe am Ausgang L aktiviert werden ($L=1$). In diesem Falle sollen alle Schleusen geschlossen sein.

- Stellen Sie die vollständige Wahrheitstabelle für L und S_2 bis S_0 in Abhängigkeit von den Eingängen m_0 bis m_3 auf.
- Geben Sie die minimale disjunktive Form der booleschen Funktion für L und S_2 bis S_0 in Abhängigkeit von m_0 bis m_3 an.
- Realisieren Sie die boolesche Funktion S_1 in Abhängigkeit von m_0 bis m_3 mit einem **16:1** Multiplexer.
- Realisieren Sie die boolesche Funktion S_1 in Abhängigkeit von m_0 bis m_3 mit einem **4:1** Multiplexer.
- Lassen sich die im Bild dargestellten Schaltnetze kaskadieren, um eine erhöhte Anzahl von Stauseen und Schleusen verwalten zu können?
- Wenn ja, skizzieren Sie, wie eine solche Kaskadierung vorgenommen werden muß. Kennzeichnen Sie hierzu, welche der Ein- und Ausgänge des Schaltnetzes zur Kaskadierung miteinander verbunden werden müssen und zeichnen sie ggf. zwischen Ausgang und Eingang erforderliche einfache Logikschaltungen ein.

Kaskadierung:



Aufgabe 2.43 (Klausur H99)

Für ihre Produktionsanlagen benötigt eine Firma eine elektrische Leistung von 2 Megawatt. Diese Firma besitzt 4 betriebseigene Generatoren mit einer Leistung von je 1 Megawatt. Die Betriebskosten der Generatoren pro Stunde betragen:

Generator 3	Generator 2	Generator 1	Generator 0
110 DM / h	80 DM / h	100 DM / h	90 DM / h

Die 4 Generatoren zeigen jeweils durch eine Bereitschaftsmeldung b_3 bis b_0 an, ob sie betriebsbereit sind ($b_x=1$) oder nicht ($b_x=0$).

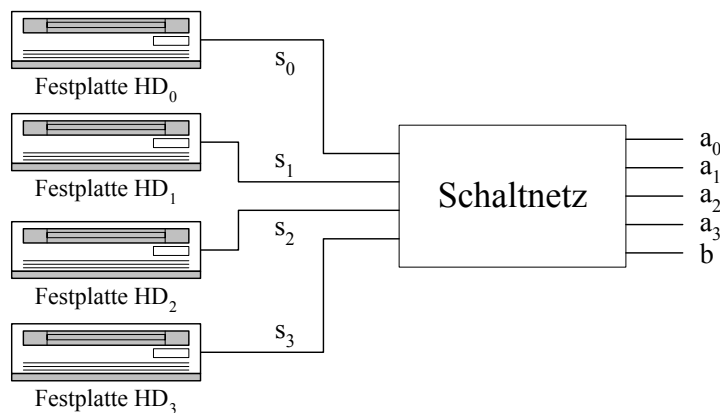
Es soll ein Schaltnetz entwickelt werden, das einem Bediener dabei hilft, eine ausreichende Stromversorgung in Abhängigkeit von den betriebsbereiten Generatoren möglichst kostengünstig zu gewährleisten.

Hierzu soll das Schaltnetz an den Ausgängen s_3 bis s_0 anzeigen, ob der jeweilige Generator g_3 bis g_0 in Betrieb genommen werden soll ($s_x=1$) oder nicht ($s_x=0$).

Nicht betriebsbereite Generatoren können selbstverständlich auch nicht in Betrieb genommen werden ($s_x=0$). Unter den betriebsbereiten Generatoren sollen, wie bereits erwähnt, diejenigen in Betrieb genommen werden, die zu minimalen Betriebskosten führen, und dennoch gewährleistet ist, daß die benötigte elektrische Leistung produziert wird.

Falls zu wenige Generatoren betriebsbereit sind, um eine genügende Stromversorgung zu gewährleisten, soll dies durch das Leuchten einer Warnlampe ($w=1$) angezeigt werden. In diesem Fall sind die Auswahlgänge s_3 bis s_0 nicht von Bedeutung.

- a) Stellen Sie die vollständige Wahrheitstabelle für w und s_3 bis s_0 in Abhängigkeit von den Eingängen b_3 bis b_0 auf.
- b) Geben Sie die minimale disjunktive Form der booleschen Funktion für w und s_3 bis s_0 in Abhängigkeit von b_3 bis b_0 an
- c) Realisieren Sie die boolesche Funktion w in Abhängigkeit von b_3 bis b_0 mit einem **8:1** Multiplexer.
- d) Realisieren Sie die boolesche Funktion w in Abhängigkeit von b_3 bis b_0 mit zwei **4:1** Multiplexern und einem **2:1** Multiplexer.
- e) Würden Sie zur Realisierung der booleschen Funktion w mit einem programmierbaren logischen Feld ein PAL oder ein PROM bevorzugen? Begründung!

Aufgabe 2.44 (Klausur F00)

In einem Fernsehstudio werden die Bild- und Tondaten während einer Produktion in Echtzeit zwischengespeichert. Dabei wird eine Datenrate von 30 MB/s benötigt.

Es stehen hierzu 4 baugleiche Festplatten zur Verfügung (HD₀ bis HD₃), die jeweils 15 MB/s speichern können, so dass für die erforderliche Datenrate von 30 MB/s mindestens 2 Festplatten gleichzeitig verwendet werden müssen.

Über die Statusleitungen s₀ bis s₃ melden die Platten, ob sie betriebsbereit sind oder nicht:

Festplattenstatus	
Betriebsbereit	Nicht betriebsbereit
s _i = 0	s _i = 1

Für die Speicherung sollen nur soviele Platten benutzt werden, wie unbedingt notwendig. Desweiteren werden die Platten mit der höchsten Priorität bevorzugt (HD₀ hat die höchste Priorität, HD₃ hat die niedrigste Priorität).

Um die anfallenden Daten verteilen zu können, soll ein Schaltnetz an seinen Ausgängen a₀ bis a₃ anzeigen, auf welche Festplatten geschoben werden soll (a_i = 1).

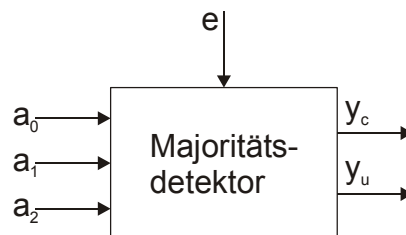
Ein weiterer Ausgang b soll dann auf 1 gesetzt werden, wenn keine Speicherung möglich ist. In diesem Fall werden die Werte an den Ausgängen a₀ bis a₃ nicht weiterverarbeitet.

- Stellen Sie die vollständige Wahrheitstabelle für $\mathbf{a}_0$ bis $\mathbf{a}_3$ und $\mathbf{b}$ in Abhängigkeit von den Eingängen s_0 bis s_3 auf.
- Geben Sie die minimale disjunktive Form der booleschen Funktion für $\mathbf{a}_0$ bis $\mathbf{a}_3$ und $\mathbf{b}$ in Abhängigkeit von s_0 bis s_3 an. (Verwenden Sie die beigefügten KV-Diagramme.)
- Realisieren Sie die boolesche Funktion $\mathbf{b}$ in Abhängigkeit von s_0 bis s_3 mit **einem 8:1-Multiplexer**.
- Realisieren Sie nun die boolesche Funktion $\mathbf{b}$ mit einem PAL.
- Realisieren Sie die boolesche Funktion $\overline{x_0 x_2} \vee \overline{x_1 x_2}$ *ausschließlich* durch NAND-Gatter mit beliebig vielen Eingängen (*keine anderen logischen Gatter!*)

Aufgabe 2.45 (Klausur H00)

Gegeben sei ein Majoritätsdetektor mit drei Eingängen. Dieser schaltet den Wert (0' oder '1'), der am häufigsten an den Eingängen anliegt, auf den Ausgang durch.

Der hier zu betrachtende Majoritätsdetektor soll zwei Ausgänge besitzen, von denen einer immer die jeweilige Majorität anzeigt (y_u). Der andere (y_c) zeigt nur dann die Majorität an, wenn der Enable-Eingang (e) auf 1 liegt, ansonsten ($e = 0$) soll der Ausgang eine 0 haben.

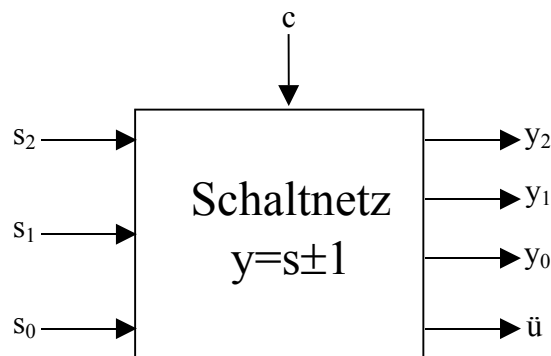


- Stellen Sie die vollständige Wahrheitstabelle für y_c und y_u in Abhängigkeit von den Eingängen a_2 bis a_0 und e auf.
- Geben Sie die minimale disjunktive Form der Boole'schen Funktion für y_c und y_u in Abhängigkeit von a_0 bis a_2 und e an. (Verwenden Sie die beigefügten KV-Diagramme.)
- Realisieren Sie die Boole'sche Funktion $a_0 a_1 \vee a_0 a_2 \vee a_1 a_2$ unter ausschließlicher Verwendung von NAND-Gattern mit 2 Eingängen.
- Bestimmen Sie y_c als Funktion von y_u und e , also $y_c = f(y_u, e)$. Wieviele NAND-Gatter mit 2 Eingängen werden zur Realisierung von $y_c = f(y_u, e)$ benötigt?

- e) Von einer speziellen Anwendung weiß man, dass die Eingänge e und a_2 immer den gleichen Wert haben. Füllen Sie unter dieser Randbedingung die Wertetabelle für $y_{c,2}$ aus.
- f) Geben Sie die minimale disjunktive Form der Boole'schen Funktion für $y_{c,2}$ in Abhängigkeit von a_0 bis a_2 und e an. (Verwenden Sie das beigefügte KV-Diagramm.)
- g) Realisieren Sie die Boole'sche Funktion $y_{c,2}$ mit einem **4:1** Multiplexer.

Aufgabe 2.46 (Klausur F01)

Es soll ein Schaltnetz für eine Recheneinheit entworfen werden, welche eine Eingangsvariable entweder um den Wert 1 inkrementiert oder dekrementiert (Up/Down-Counter).



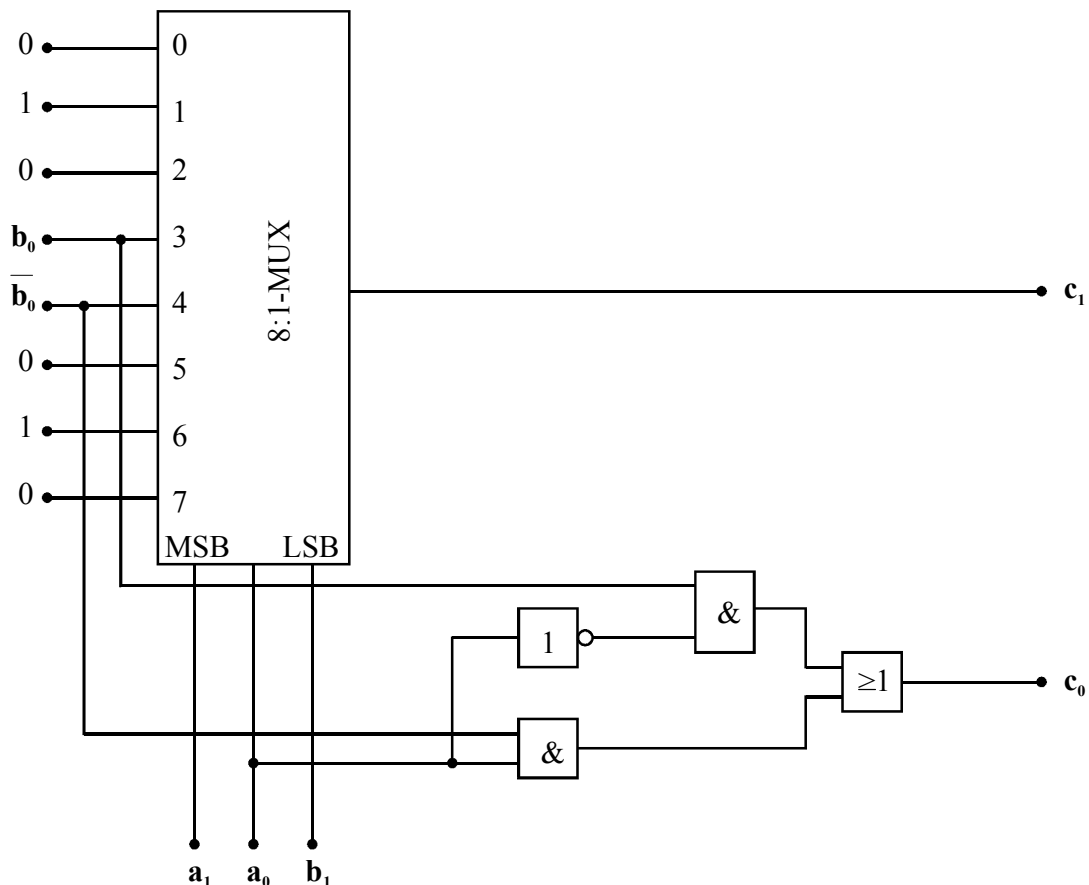
Die Eingänge s_0 bis s_2 des Schaltnetzes bezeichnen die 3-Bit-breite Eingangsvariable s im **Zweierkomplement-Format**, dabei ist s_2 das MSB und s_0 das LSB (Format $s_2s_1s_0$). Über den Eingang c wird ausgewählt, ob die Zahl um den Wert eins erhöht, oder verringert werden soll. Für den Fall $c = 0$ soll s inkrementiert werden (+1), für $c = 1$ soll s dekrementiert werden (−1).

Das Ergebnis der Operation soll ebenfalls in **Zweierkomplement-Darstellung** an den Ausgängen y_0 bis y_2 anliegen. Dabei bezeichnet y_2 das MSB des Ergebnisses, y_0 entsprechend das LSB (Format $y_2y_1y_0$). Für den Fall, dass der Ergebniswert nicht im Zahlenbereich der 3-Bit-breiten Ausgangsvariablen darstellbar ist, soll der Ausgangswert $\ddot{u}$ auf den Wert „1“ gesetzt werden, und dadurch den Überlauf anzeigen. In diesem Fall sind die Werte für y_0 bis y_2 unerheblich. Für alle anderen Fälle soll $\ddot{u} = 0$ betragen.

- a) Tragen Sie in der nachstehenden Tabelle zunächst die dezimalen Werte für die Eingangsvariable $s_2s_1s_0$ und die Ausgangsvariable $y_2y_1y_0$ ein. Füllen Sie anschließend die Wahrheitstabelle für y_2 bis y_0 und $\bar{u}$ in Abhängigkeit von den Eingängen s_2 bis s_0 und c aus.
- b) Geben Sie die minimale disjunktive Form der Boole'schen Funktionen für y_2 bis y_0 und $\bar{u}$ in Abhängigkeit von s_2 bis s_0 und c an. Verwenden Sie hierzu die beigefügten KV-Diagramme.
- c) Realisieren Sie die Boole'sche Funktion y_2 mit **einem** 8:1-Multiplexer.
- d) Realisieren Sie nun die Boole'sche Funktion y_2 mit einem PAL.

Aufgabe 2.47 (Klausur F01)

Das folgende Schaltnetz mit den Eingängen a_1 , a_0 , b_1 und b_0 , sowie den Ausgängen c_1 und c_0 ist im Folgenden auf seine Funktionalität zu überprüfen. Durch a_1 , a_0 , b_1 , b_0 , c_1 und c_0 werden die drei vorzeichenlosen 2-Bit-Zahlen $a = a_1a_0$, $b = b_1b_0$ und $c = c_1c_0$ ausgedrückt.

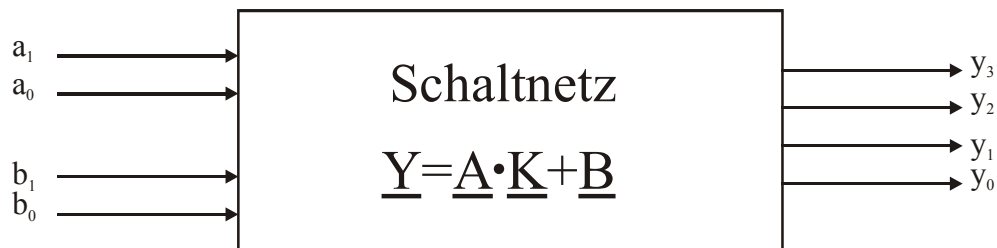


- Stellen Sie die vollständige Wahrheitstabelle der Ausgänge c_1 und c_0 in Abhängigkeit von den Eingängen a_1 , a_0 , b_1 und b_0 auf. Tragen Sie außerdem die dezimalen Äquivalente der 2-Bit-Zahlen a , b und c in die Tabelle ein.
- Welche mathematische Funktion $c = f(a, b)$ wird durch das Schaltnetz realisiert?
- Geben Sie die logische Funktion c_0 in Abhängigkeit von a_0 und b_0 an. Wie heißt die Funktion?
- Realisieren Sie die logische Funktion $c_0 = f(a_0, b_0)$ unter ausschließlicher Verwendung von NAND-Gattern mit zwei Eingängen.

Aufgabe 2.48 (Klausur F02)

Eine sehr häufige Rechenoperation in digitalen Signalprozessoren (DSPs) ist die so genannte Multiply-Add-Operation. Zur Implementierung digitaler Filter wird beispielsweise häufig eine Eingangsvariable A mit einem konstanten Koeffizienten K multipliziert, und anschließend ein Wert B addiert.

Es soll ein Schaltnetz entworfen werden, welches eine solche Operation durchführt:



Die Variablen A, B und Y weisen folgendes Zahlenformat auf:

$$\underline{A} = a_1 a_0$$

$$\underline{B} = b_1 b_0$$

$$\underline{Y} = y_3 y_2 y_1 y_0$$

Die Konstante K besitzt den **binären** Wert

$$\underline{K} = k_1 k_0 = 11$$

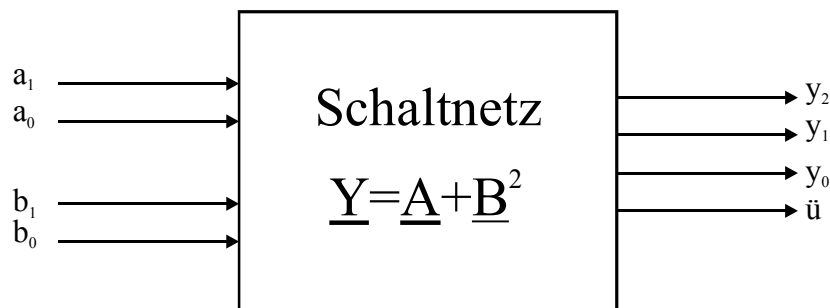
Die Variablen A, B und Y, sowie die Konstante K sind **vorzeichenlose Betragszahlen**.

- Tragen Sie zunächst die dezimalen Äquivalente für $\underline{A}$ und $\underline{B}$, sowie für das Ergebnis der Operation $\underline{Y} = \underline{A} \cdot \underline{K} + \underline{B}$ in eine Wahrheitstabelle ein. Stellen Sie anschließend die vollständige Wahrheitstabelle der Ausgänge y_3 , y_2 , y_1 und y_0 in Abhängigkeit von den Eingängen a_1 , a_0 , b_1 und b_0 auf.
- Geben Sie die minimale disjunktive Form der Boole'schen Funktionen für y_3 , y_2 , y_1 und y_0 in Abhängigkeit von a_1 , a_0 , b_1 und b_0 an. Verwenden Sie hierzu die beigefügten KV-Diagramme.
- Realisieren Sie die Boole'sche Funktion y_3 unter ausschließlicher Verwendung von **NOR-Gattern** mit 2 oder mehr Eingängen.
- Realisieren Sie die Boole'sche Funktion y_2 mit **einem** 8:1-Multiplexer:

Aufgabe 2.49 (Klausur F02)

ASICs (Application-Specific Integrated Circuits) zeichnen sich gegenüber Standardprozessoren durch eine besonders hohe Ausführungsgeschwindigkeit aus. Dies wird unter Anderem dadurch erreicht, dass in der arithmetisch-logischen Einheit (ALU) des Chips festverdrahtete Hardware für bestimmte algorithmentypische Rechenoperationen eingesetzt wird.

Bei der Analyse eines bestimmten Algorithmus hat sich herausgestellt, dass die arithmetische Operation $Y = A + B^2$ besonders häufig vorkommt, so dass diese in der ALU fest implementiert werden soll. Im Folgenden soll ein Schaltnetz entworfen werden, welches diese Operation mit 2-Bit-Zahlen durchführt:



Die Variablen $\underline{A}$, $\underline{B}$ und $\underline{Y}$ sind **vorzeichenlose Betragszahlen**, und weisen folgendes Zahlenformat auf:

$$\underline{A} = a_1 a_0$$

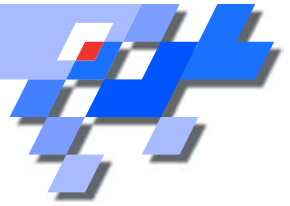
$$\underline{B} = b_1 b_0$$

$$\underline{Y} = y_2 y_1 y_0$$

Für den Fall, dass das Ergebnis der Operation nicht mit dem Zahlenformat von $\underline{Y}$ dargestellt werden kann (Überlauf), soll das **Überlauf-Bit** $\ddot{u}$ auf 1 gesetzt werden. In

diesem Fall ist das Ergebnis $\underline{Y}$ der Operation nicht von Bedeutung. In allen anderen Fällen ist $\bar{u} = 0$.

- a) Tragen Sie zunächst die dezimalen Äquivalente für $\underline{A}$ und $\underline{B}$, sowie für das Ergebnis der Operation $\underline{Y} = \underline{A} + \underline{B}^2$ in eine Wahrheitstabelle ein. Stellen Sie anschließend die vollständige Wahrheitstabelle der Ausgänge y_2 , y_1 , y_0 und $\bar{u}$ in Abhängigkeit von den Eingängen a_1 , a_0 , b_1 und b_0 auf.
- b) Geben Sie die minimale disjunktive Form der Boole'schen Funktionen für y_2 , y_1 , y_0 und $\bar{u}$ in Abhängigkeit von a_1 , a_0 , b_1 und b_0 an. Verwenden Sie hierzu die beigefügten KV-Diagramme.
- c) Realisieren Sie die Boole'sche Funktion y_2 unter ausschließlicher Verwendung von **NAND-Gattern** mit **genau 2 Eingängen**.
- d) Realisieren Sie die Boole'sche Funktion y_1 mit **einem** 8:1-Multiplexer:



Übungsaufgaben zur Vorlesung

Grundlagen der Informationsverarbeitung II

Sommersemester 2004

Aufgaben zu Kapitel 3 Arithmetisch-logische Einheiten

Betreuer:

Prof. Dr.-Ing. H. Schröder

Raum: P1-04-211

Tel.: 755-3190

Email: hartmut.schroeder@uni-dortmund.de

Dipl.-Ing. H. Lange

Raum: P1-04-210

Tel.: 755-2028

Email: hendrik.lange@uni-dortmund.de

Aktuelle Informationen zur Vorlesung gibt es unter:

http://www-kt.e-technik.uni-dortmund.de/m_siv/giv/giv_main.html

Aufgabe 3.1

Geben Sie die unten angegebenen Dezimalzahlen in den folgenden Binärdarstellungen an :

- a) Betrag-Vorzeichen-Darstellung
- b) Offset-Binary-Code
- c) Einer-Komplement
- d) Zweier-Komplement

Verwenden Sie eine Darstellung mit 8 Vor- und 4 Nachkommastellen !

Dezimalzahlen: 0 ; +110.5 ; -78.1875 ; -140

Aufgabe 3.2

Führen Sie die folgenden Subtraktionen in der Zweier-Komplement-Darstellung aus . Wandeln Sie Ihre Ergebnisse in die Dezimal-Darstellung zurück und überprüfen Sie Ihre Rechnung !

- a) $14.125 - 10.500$
- b) $123.5 - (-9.75)$
- c) $31.125 - 57.625$

Verwenden Sie eine Darstellung mit 8 Vor- und 4 Nachkommastellen !

Aufgabe 3.3

Umwandlung der Betrag-Vorzeichen-Darstellung in die Zweier-Komplement-Darstellung .

- a) Beschreiben Sie anhand eines Flußdiagramms die Konversion von Betrag-Vorzeichen-Darstellung zur Zweier-Komplement-Darstellung ! Achten Sie dabei auf Unterschiede im zulässigen Zahlenbereich !
- b) Entwerfen Sie eine Schaltung aus logischen Gattern, die eine solche Konversion von der Betrag-Vorzeichen-Darstellung auf Zweierkomplement-Darstellung durchführt ! Legen Sie die Schaltung für eine Wortbreite von 8 Bit aus !

Aufgabe 3.4 (Klausur H 89)

Für eine Subtraktion $A-B$ zweier binärer Betragsszahlen $A=\{a_{N-1},\dots,a_1,a_0\}$, $B=\{b_{N-1},\dots,b_1,b_0\}$ wird eine Schaltung aus „Vollsubtrahierern“ mit Übertragsweiterleitung benötigt .

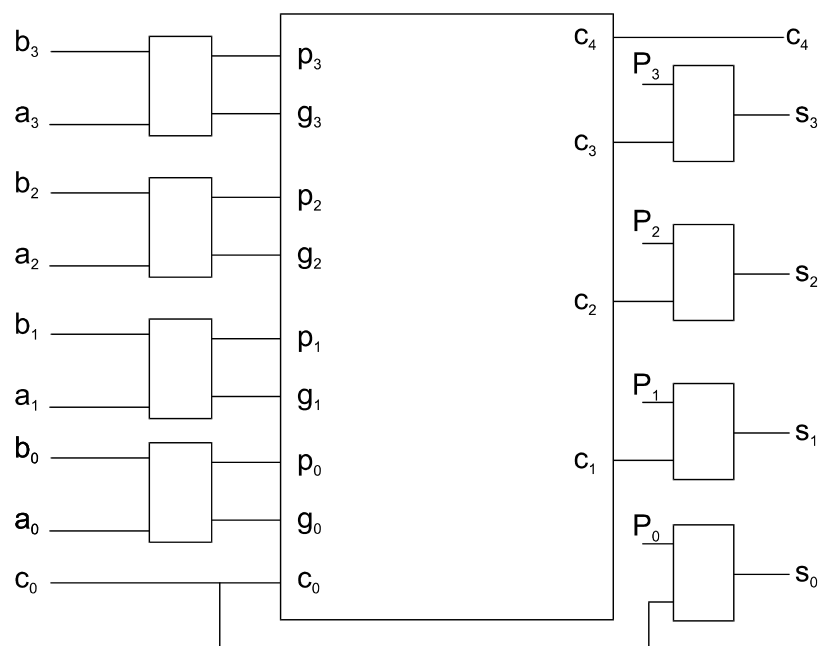
- Ermitteln Sie die Wahrheitstabelle eines Vollsubtrahierers mit 3 Eingangsbits (a_i , b_i und dem eingehenden Übertragsbit c_i) und den 2 Ausgangsbits (Differenzbit d_i , abgehendes Übertragsbit c_{i+1}) .
- Geben Sie für beide Ausgangsvariablen die disjunktive Normalform an (DNF) . Minimieren Sie die disjunktiven Normalformen mit Hilfe von KV-Diagrammen . Geben Sie die minimalen disjunktiven Formen an .

Aufgabe 3.5

Realisieren Sie einen Volladdierer mit Hilfe eines 1 aus 8 Decoders !

Aufgabe 3.6

Im folgenden Blockschaltbild ist das Prinzip eines 4 Bit Addierers mit Übertragsvorausberechnung (carry look ahead) dargestellt .



- Erläutern Sie die Funktionsweise dieses Addierers !
- Leiten Sie die Booleschen Gleichungen p_i , g_i , c_{i+1} für $i=0,1,2,3$ her !
- Realisieren Sie die Komponenten des Blockschaltbildes mit logischen Gattern!
- Erweitern Sie diesen Addierer so, dass auch eine Subtraktion in Zweikomplement-Darstellung ausgeführt werden kann. Benutzen Sie dabei eine zusätzliche Eingangsvariable v , die bei der Addition gleich 0 und bei der Subtraktion gleich 1 ist.

Aufgabe 3.7

Gegeben sei folgendes normalisiertes Gleitpunktformat:

$$X.XXXXXXX \cdot 2^{XXXX}$$

Die Mantisse ist im Zweierkomplement und der Exponent im Offset-Binary-Code dargestellt. Subtrahieren, multiplizieren Sie die beiden folgenden Zahlen im gegebenen Format:

$$A = 13$$

$$B = 3.5$$

Aufgabe 3.8 (Klausur F89)

Gegeben seien 2 Zahlen $A = -2,5$ und $B = 0,375$ im binären Gleitkommaformat

$$X.XXXXXXX \cdot 2^{XXXX}$$

Die Mantisse ist im Zweierkomplement mit 8 Bit (incl. Vorzeichen) codiert und normalisiert, so daß gilt $0,5 \leq |m| < 1$. Der Exponent ist im Offset-Binary-Code mit 4 Bit (incl. Vorzeichen) dargestellt.

- Wandeln Sie die Zahlen A,B in das obige Format
- Bilden Sie die Differenz $A-B$. Führen Sie die Differenzbildung in Zweierkomplementdarstellung für die Mantisse mit der obigen Wortlänge durch.
- Bilden Sie das Produkt $A \cdot B$. Bilden Sie das Produkt in Betrag-Vorzeichen Darstellung mit der obigen Wortlänge.

Geben Sie jeweils auch die Zwischenschritte an.

Aufgabe 3.9 (Klausur H89)

Gegeben sei folgendes binäres Gleitkommaformat

$$X.XXXXXXX \cdot 2^{XXXX}$$

Die Mantisse ist in Betrag-Vorzeichen Darstellung mit 8 Bit (incl. Vorzeichen) codiert und normalisiert, so daß gilt $0,5 \leq |m| < 1$. Der Exponent ist im Zweierkomplement mit 4 Bit (incl. Vorzeichen) dargestellt.

- Welcher Zahlenbereich (Angabe im Dezimalformat) ist darstellbar ?
- Welche Schrittweite bietet das gewählte Format im Bereich des größten und kleinsten Exponenten?
- Wandeln Sie die Zahlen $A = -1.375$ und $B = -0.15625$ in das obige Format.
- Bilden Sie die Differenz $A-B$. Führen Sie die Differenzbildung in Zweierkomplementdarstellung für die Mantisse mit den obigen Wortlängen durch.
- Bilden Sie das Produkt $A \cdot B$ im gegebenen Format.

Geben Sie jeweils auch die Zwischenschritte an.

Aufgabe 3.10 (Klausur F90)

Ein Analog-Digitalwandler soll Spannungswerte im Bereich zwischen $-2V$ und $+2V$ auf $1mV$ Quantisierungsstufe genau wandeln .

- Wieviele Stellen sind mindestens notwendig, um die digitale Information ganzzahlig im Zweierkomplement darstellen zu können ?
- Welcher Zahlenbereich (dezimal) ist mit dem gefundenen Zahlenformat darstellbar?
- Stellen Sie die folgenden am Eingang des Wandlers gemessenen Spannungswerte im gewählten Format dar .

$$A = 1.798V \quad B = -1.125V$$

Die digital vorliegenden Daten sollen nun ins Gleitkommaformat übertragen werden. Die Mantisse ist in Betrag-Vorzeichen-Darstellung codiert und normalisiert, so daß gilt: $0,5 \leq |m| < 1$. Der Exponent ist im Zweierkomplement dargestellt.

- Wieviele Stellen sind zur Übertragung ohne Genauigkeitsverluste mindestens notwendig?
- Wandeln Sie die Meßwerte A, B in das gewählte Gleitkommaformat.

Geben Sie jeweils auch die Zwischenschritte an.

Aufgabe 3.11

Führen Sie die folgenden Multiplikationen in der Betrag-Vorzeichen-Darstellung aus. Wandeln Sie ihre Ergebnisse in die Dezimal-Darstellung zurück und überprüfen Sie ihre Rechnung!

- a) $10.5 * 4$
- b) $(-23.625) * 5$
- c) $(-13.0) * (-8)$

Aufgabe 3.12

Führen Sie die folgenden Divisionen in der Betrag-Vorzeichendarstellung aus. Wandeln Sie ihre Ergebnisse in die Dezimal-Darstellung zurück und überprüfen Sie ihre Rechnung.

- a) $100 / 8$
- b) $(-15) / 5$
- c) $(-121) / (-11)$

Aufgabe 3.13

Die Multiplikation von Dualzahlen kann auf eine Addition zurückgeführt werden. Entwerfen Sie eine schaltungstechnische Realisierung aus logischen Grundgattern und 4 Bit-Addieren für die Betragsmultiplikation von 4 Bit-Zahlen.

Aufgabe 3.14 (Klausur H90)

Gegeben sei folgendes Gleitkommaformat

$$X.XXXX \cdot 2^{XXXX}$$

Die Mantisse und der Exponent sind im Zweierkomplement dargestellt. Das LSB der Mantisse hat die Wertigkeit 2^{-4} , der Exponent ist wie üblich eine ganze Zahl.

- a) Welcher Zahlenbereich (Angabe in Dezimalformat) ist darstellbar?
- b) Wie groß ist die kleinste darstellbare positive Zahl?
- c) Ist die Zahl $A = -19$ in diesem Format darstellbar? (Begründung)

Gegeben sind die Gleitkommazahlen

$$B = 1.0100 \cdot 2^{111} \quad C = 1.1101 \cdot 2^{0001}$$

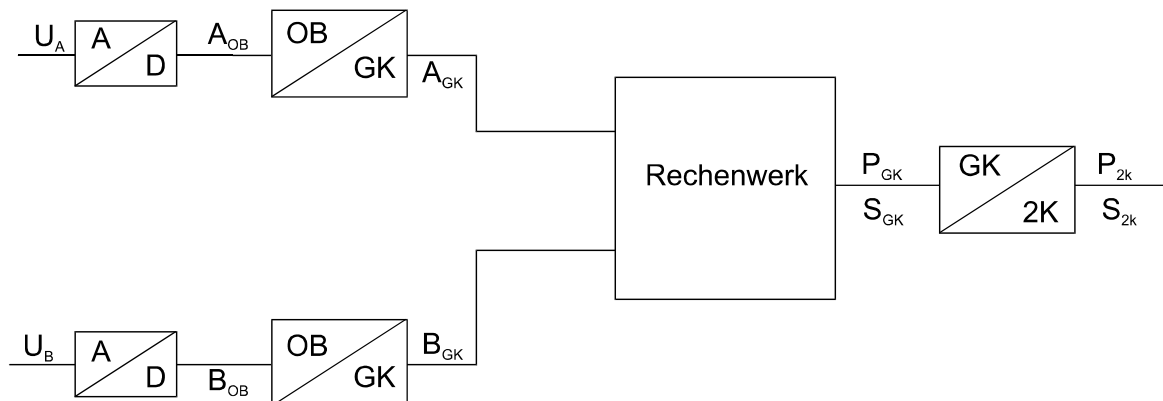
- d) Ist B größer, kleiner oder gleich C? (Begründung)

Die Mantisse und der Exponent werden nun in Betrag-Vorzeichen-Darstellung codiert. Die Mantisse wird außerdem normalisiert, so dass gilt: $0.5 \leq |m| < 1$.

- e) Wie groß ist jetzt die kleinste darstellbare positive Zahl?
- f) Wandeln Sie die Zahlen $D = -3.25$ und $E = 0.3125$ in das neue Format um.

Aufgabe 3.15 (Klausur H91)

Gegeben ist ein Gleitkommarechenwerk entsprechend folgender Skizze. 2 Eingangsspannungswerte U_A und U_B werden in Offset-Binary-Code mit 5 Bit (incl. Vorzeichenbit, $\text{LSB} \triangleq 1\text{V}$) von einem A/D-Wandler abgegeben, in Gleitkommaformat multipliziert bzw. addiert und das Ergebnis wird im Zweierkomplementformat ausgegeben.



OB : Offset-Binary-Code

GK : Gleitkommaformat

2K : Zweierkomplement

- a) Die Eingangsspannungen seien $U_A = -15\text{V}$, $U_B = +13\text{V}$. Ermitteln Sie die Zahlen A_{OB} und B_{OB} nach der A/D-Wandlung.

Das Gleitkommarechenwerk verarbeitet Zahlen in folgender Darstellung:

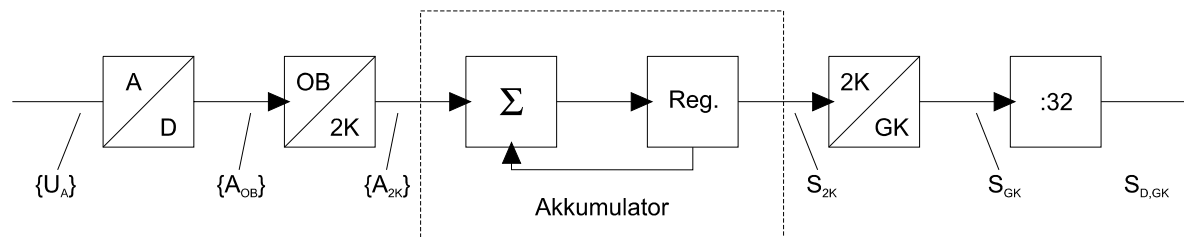
$$X.XXXXXXXXXX \cdot 2^{XXXXX}$$

Die Mantisse und der Exponent sind in Betrag-Vorzeichen-Darstellung codiert. Das LSB der Mantisse hat die Wertigkeit 2^{-8} , der Exponent ist wie üblich eine ganze Zahl. Die Mantisse wird außerdem normalisiert, so daß gilt $0,5 \leq |m| < 1$.

- Geben Sie die Zahlen A_{GK} und B_{GK} nach der Gleitkommawandlung an.
- Bilden Sie das Produkt $P_{GK} = A_{GK} \cdot B_{GK}$ im gegebenen Gleitkommaformat.
- Bei der Addition werden die Mantissen von A_{GK} , B_{GK} vorher mit gleicher Wortlänge ins Zweierkomplement umgewandelt. Bilden Sie die Summe $S_{GK} = A_{GK} + B_{GK}$.
- Das Ergebnis wird in Zweierkomplement-Darstellung mit 9 Bit (incl. Vorzeichenbit) ganzzahlig ausgegeben. Geben Sie die Ausgangszahlen P_{2K} und S_{2K} an.

Aufgabe 3.16

Gegeben ist ein Rechenwerk entsprechend folgender Skizze. Eine Folge von 3 Eingangsspannungswerten $\{U_A\} = \{-2, 4, 11\}$ V wird im Offset-Binary-Code mit 5 Bit (incl. Vorzeichenbit, $\text{LSB} \cong 1\text{V}$) vom A/D Wandler abgegeben, ins 2er-Komplement überführt und im Akkumulator addiert. Die Ausgabe erfolgt über einen Gleitkommaformatwandler und anschließende Division durch 32.



OB: Offset-Binary-Code

GK: Gleitkommaformat

2K: Zweierkomplement

- a) Ermitteln Sie die Zahlenfolgen $\{A_{OB}\}$, $\{A_{2K}\}$ im Offset-Binary bzw. Zweierkomplementformat. Ermitteln Sie den Summanwerk S_{2K} .

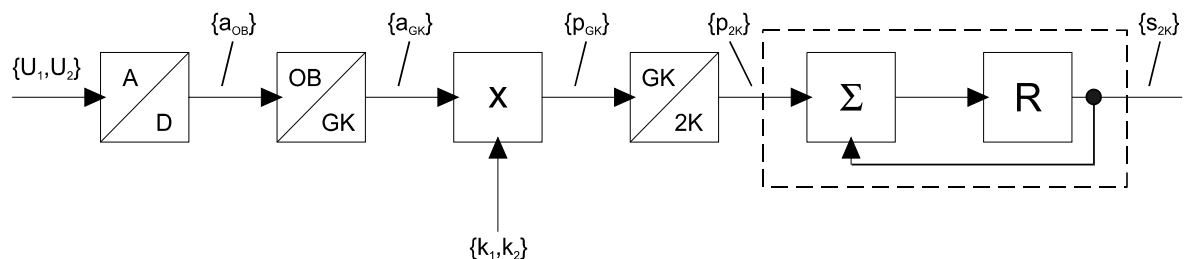
Der Gleitkommawandler liefert Zahlen in der folgenden Darstellung:

$$X.XXX\ XXXX \cdot 2^{XXXX}$$

Mantisse und Exponent sind im Betrag-Vorzeichen-Format codiert. Das LSB der Mantisse hat die Wertigkeit 2^{-7} . Der Exponent ist wie üblich eine ganze Zahl. Die Mantisse wird außerdem normalisiert, so daß gilt $0,5 \leq |m| < 1$ gilt. Berechnen Sie S_{GK} . Abschließend wird durch 32 dividiert. Geben Sie $S_{D,GK}$ im obigen Gleitkommaformat an. Wie kann eine Binärzahl 2^N allgemein im normalisierten Gleitkommaformat angegeben werden?

Aufgabe 3.17

Gegeben ist ein Rechenwerk entsprechend folgender Skizze. Eine Folge von zwei Eingangsspannungswerten $\{u_1, u_2\} = \{-60, -3\}$ V wird im Offset-Binary-Code mit 7 Bit (incl. Vorzeichenbit, LSB=1V) vom A/D-Wandler abgegeben. Die Zahlen werden ins Gleitkommaformat überführt und jeweils mit einem Faktor $\{k_1, k_2\}$ multipliziert. Die Produkte werden nach Wandlung ins Zweierkomplement im Akkumulator addiert.



- a) Ermitteln Sie die Zahlenfolge $\{a_{OB}\}$, $\{a_{GK}\}$ im Offset-Binary bzw. Gleitkommaformat. Das Gleitkommaformat sei in der folgenden Darstellung definiert:

$$X.XXX XXXX \cdot 2^{XXXX}$$

Mantisse und Exponent sind im Betrag-Vorzeichen-Format codiert. Das LSB hat die Wertigkeit 2^{-7} . Der Exponent ist, wie üblich, eine ganze Zahl. Die Mantisse wird außerdem so normalisiert, daß gilt $0,5 \leq m < 1$.

- b) Die beiden Zahlen werden jeweils mit Faktoren k_1 , k_2 multipliziert:

$$k_1 = 0.101\ 0000 \cdot 2^{0000}$$

$$k_2 = 1.110\ 1000 \cdot 2^{0100}$$

Ermitteln Sie die Produkte $\{p_{GK}\}$ im Gleitkommaformat.

- c) Die Teilprodukte werden dann ins Zweierkomplement gewandelt und im Akkumulator addiert. Geben Sie $\{p_{2K}\}$ und $\{s_{2K}\}$ an.

Aufgabe 3.18 (Klausur H93)

Gegeben sei folgendes Gleitkommaformat :

$$X.XXXXX \cdot 2^{XXXX}$$

Die Mantisse und der Exponent sind in der Betrag-Vorzeichen-Darstellung codiert . das LSB der Mantisse hat die Wertigkeit 2^{-5} , der Exponent ist wie üblich eine ganze Zahl . Im obigen Zahlenformat nimmt die zahl A folgende Werte an :

$$A = 0.11000 \cdot 2^{0100}$$

- Handelt es sich um ein normalisiertes gleitkommaformat ? Welcher Zahlenbereich (Angabe im Dezimalformat) ist im normalisierten Gleitkommaformat betragsmäßig darstellbar ?
- Wieviele Bits benötigt man, um den gleichen Zahlenbereich im Festkommaformat darzustellen ? Wie groß ist die Genauigkeit (kleinste Schrittweite) der Festkommadarstellung im Vergleich zur Gleitkommadarstellung im Bereich des kleinsten und des größten Exponenten?
- Wandeln Sie die zahl B = 2,25 in das obige Gleitkommaformat und bilden Sie anschließend das Produkt $P = A \cdot B$ im gegebenen Format .
- Für eine Differenzbildung sollen die Mantissen in das Zweierkomplementformat überführt werden, der Exponent ist weiterhin in Betrag-Vorzeichen-Darstellung codiert . Bilden Sie die Differenz $D = A - B$. Läßt sich das Ergebnis ohne Genauigkeitsverluste bestimmen ? Wie groß sind gegebenenfalls die Genauigkeitsverluste ?
- Geben Sie das Ergebnis abschließend in einer betrag-Vorzeichen-Darstellung ganzzahlig mit 6 Bit (incl. Vorzeichenbit) aus .

Aufgabe 3.19 (Klausur F94)

In einem Rechenwerk werden Zahlen im folgenden Gleitkommaformat dargestellt :

$$X.XXXXXX \cdot 2^{XXXX}$$

Mantisse und Exponent sind beide in Zweierkomplement-Darstellung . Der Exponent ist eine ganze Zahl . Die Mantisse ist wie üblich normiert, so daß gilt: $0,5 \leq |m| < 1$

- a) Geben Sie die beiden Zahlen

$$A = -5$$

$$B = 0,75$$

im obigen Format an .

- b) Berechnen Sie die Summe $S = A+B$ im obigen Format .
 c) Berechnen Sie das Produkt $P = A \cdot B$ im obigen Format .

Aufgabe 3.20 (Klausur H94)

Gegeben sind zwei Zahlen

$$A = -11,5$$

$$B = 5$$

- a) Stellen Sie die beiden Zahlen im folgenden Gleitkommaformat dar :

$$X.XXXXXXXXXX \cdot 2^{XXXX}$$

Die Mantisse und der Exponent sind in Betrag-Vorzeichen-Darstellung codiert
 Das LSB der Mantisse hat die Wertigkeit 2^{-8} , der Exponent ist wie üblich eine ganze Zahl. Die Mantisse wird außerdem normalisiert, so daß gilt:

$$0,5 \leq |m| < 1.$$

- b) Berechnen Sie die Summe $S = A+B$ im angegebenen Format .
 c) Berechnen Sie das Produkt $P = A \cdot B$ im angegebenen Format .

Wählen Sie zur Berechnung jeweils das geeignete (Zwischen-)Format . Geben Sie auch die Zwischenschritte an .

Aufgabe 3.21 (Klausur F95)

Gegeben sei folgendes Gleitkommaformat

$$X.XXXXX XXXX \cdot 2^{XXXXX}$$

Die Mantisse ist in Betrag-Vorzeichen-Darstellung und der Exponent im Offset-Binary-Format codiert. Das LSB der Mantisse hat die Wertigkeit 2^{-8} , der Exponent ist wie üblich eine ganze Zahl.

- a) Welcher Zahlenbereich läßt sich in einem normalisierten bzw. in einem nicht normalisierten Zahlenformat darstellen?

Im folgenden soll das obige Format mit einer normalisierten Mantisse, d.h. $0,5 \leq |m| < 1$ verwendet werden.

- b) Wie groß ist die Genauigkeit bei der betragsmäßig kleinsten und größten darstellbaren Zahl?
- c) Gegeben sind die Zahlen $A=22$ und $B=-5,5$. Wandeln Sie die Zahlen in das angegebene Format.
- d) Bilden Sie die Summe $S=A+B$ im angegebenen Format. Wie groß muß die minimale Wortlänge der Mantisse sein, damit keine Rundungsfehler auftreten?
- e) Bilden Sie das Produkt $P=A \cdot B$ im angegebenen Format.

Aufgabe 3.22

Zur Darstellung von Gleitkomma-Zahlen ist das Format eines Rechenwerkes wie folgt definiert:

$$X.XXXXXXXXXX \cdot 2^{XXXXX}$$

Dabei wird die Mantisse wie folgt beschränkt: $0,5 \leq |m| < 1$. Der Exponent ist eine ganze Zahl. Mantisse und Exponent sind beide in Betrag-Vorzeichen-Darstellung.

- a) Gegeben sind die beiden Zahlen A und B:

$$A = (0,100010010 \cdot 2^{00000})_2$$

$$B = (0,100001010 \cdot 2^{00000})_2$$

Addieren Sie die beiden Zahlen.

Stellen Sie das Ergebnis im obigen Gleitkommaformat dar.

- b) Gegeben sind die beiden Zahlen C und D:

$$C = (0,100100011 \cdot 2^{00000})_2$$

$$D = (0,100100010 \cdot 2^{00000})_2$$

Subtrahieren Sie die beiden Zahlen.

Stellen Sie das Ergebnis im obigen Gleitkommaformat dar .

Im folgenden soll das unten angegebene Format mit einer normalisierten Mantisse $0,5 \leq |m| < 1$ verwendet werden . Mantisse und Exponent sind beide in Betrag-Vorzeichen-Darstellung .

X.XXXXXX 2^{XXXX}

- c) Geben Sie die folgende ganze Zahl A im obigen Format an: $A = 3$
- d) Geben Sie die folgende gebrochene Zahl B im obigen Format an: $B = 0,74$
- e) Bilden Sie die Differenz $D = A - B$ im obigen Format .

Aufgabe 3.23

In einem Rechenwerk werden Zahlen im folgenden Gleitkommaformat dargestellt :

X.XXXXXX 2^{XXXX}

Mantisse und Exponent sind beide in Betrag-Vorzeichen-Darstellung . Der Exponent ist eine ganze Zahl . Die Mantisse ist wie üblich normiert, so daß gilt: $0,5 \leq |m| < 1$

- a) Geben Sie die beiden Zahlen
 $A = 3$
 $B = 0,25$
im obigen Format an .
- b) Berechnen Sie die Differenz $D = A - B$ im obigen Format .
- c) Berechnen Sie das Produkt $P = AB$ im obigen Format .

Aufgabe 3.24 (Klausur F97)

In einem Rechenwerk werden Zahlen in 15-bit-Gleitkomma-Format dargestellt.

$$X.XXXXXXXXXX \cdot 2^{XXXXX}$$

Die Mantisse ist in Betrag- Vorzeichen-Darstellung und der Exponent in Offset-Binary-Darstellung. Die Mantisse ist wie folgt normiert: $0,5 \leq |m| < 1$. Der Exponent ist eine ganze Zahl.

- Geben Sie die folgende ganze Zahl X im obigen Format an: $X = 23$
- Geben Sie die folgende gebrochene Zahl Y im obigen Format an: $Y = -3,25$
- Führen Sie die Addition $A=X+Z$ im obigen Format durch.
- Führen Sie die Multiplikation der Zahlen $M = XY$ im obigen Format durch.

Aufgabe 3.25 (Klausur H96)

- Nennen Sie Nachteile von Festkomma-Zahlendarstellung bei einer Multiplikation zweier Dualzahlen insbesondere in technisch-wissenschaftlichen Anwendungen!
- Nennen Sie Vorteile des Einsatzes eines Arithmetik-Coprozessors in einem Mikrorechen-System!

In einem Rechenwerk werden Zahlen in 12-bit-Gleitkomma-Format dargestellt.

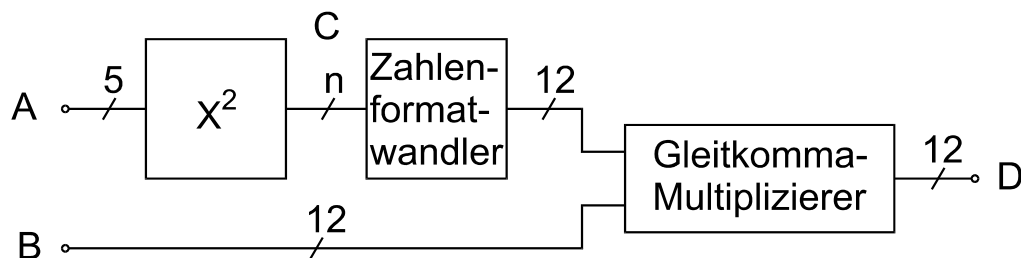
$$X.XXXXXXX \cdot 2^{XXXX}$$

Die Mantisse ist in Betrag- Vorzeichen-Darstellung und der Exponent in Zweierkomplement-Darstellung. Die Mantisse ist wie folgt normiert: $0,5 \leq |m| < 1$. Der Exponent ist eine ganze Zahl.

- Geben Sie die folgende ganze Zahl X im obigen Format an: $X = -48$
- Geben Sie die folgende gebrochene Zahl Y im obigen Format an: $Y = 0,125$
- Führen Sie die Multiplikation der Zahlen $M = X*Y$ im obigen Format durch.
- Geben Sie die folgende ganze Zahl Z im obigen Format an: $Z=16$. Führen Sie die Addition $A=X+Z$ im obigen Format durch.

Aufgabe 3.26 (Klausur H97)

Dargestellt ist eine arithmetische Einheit, die aus zwei Eingangszahlen A und B ein Ergebnis D bestimmt. Ausgeführt wird hierbei die Berechnung $D = A^2 \cdot B$. Hierbei ist $A = \{a_4 \cdot a_3 \cdot a_2 \cdot a_1 \cdot a_0\}$ eine ganze Zahl in Betrag-Vorzeichen Darstellung mit 4 Betragsbits und einem Vorzeichenbit. B liegt im 12-Bit-Gleitkomma-Format vor. Das Ergebnis D soll ebenfalls im 12-Bit-Gleitkomma-Format ausgegeben werden.



Nach der Quadrierung entsteht das Zwischenergebnis $C = \{c_{n-1} \cdot c_{n-2} \dots c_0\}$, das in Betrag-Vorzeichen Darstellung vorliegen soll. Dabei entspricht c_0 dem LSB und c_{n-1} dem Vorzeichenbit.

- Wieviele Bits n (incl. Vorzeichenbit) sind zur vollständigen Darstellung von C erforderlich?
- Stellen Sie die Wahrheitstabelle für den Quadrierer auf. Vernachlässigen Sie dabei die Vorzeichenbits. Benutzen Sie die vorgegebene Wahrheitstabelle.
- Geben Sie die Booleschen Gleichungen für die Bits c_4, c_5 und c_6 sowohl als DNF als auch in minimierter Form an (Minimierung mit KV-Diagramm). Benutzen Sie die vorgegebenen KV-Diagramme.
- Realisieren Sie die Funktionen für c_5 und c_6 mit Invertern und einer minimalen Anzahl von **UND-Gattern mit zwei Eingängen**. Bringen Sie zunächst die booleschen Gleichungen in eine entsprechende Form. Nutzen Sie für die Minimierung der Anzahl von UND-Gattern bei der Realisierung gleiche Terme für c_5 und c_6 aus.
- Die Zahlen A und C haben nun 2er-Komplement-Format. Wieviele Bits (incl. Vorzeichen) sind nun prinzipiell zur Darstellung von C erforderlich?

Wie bereits erwähnt, findet die Multiplikation im 12-Bit-Gleitkomma-Format statt. Diese Zahlen haben das Format:

X.XXXXXXXX·2XXXX

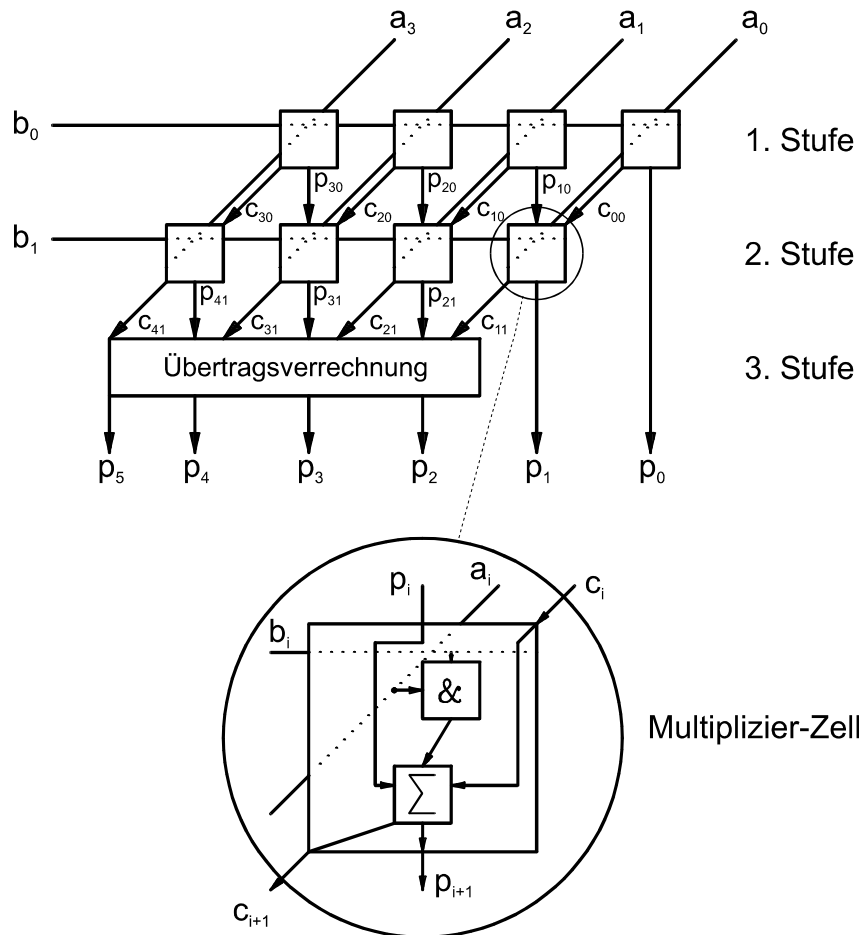
wobei die Mantisse in Betrag-Vorzeichen-Darstellung und der Exponent in Zweierkomplement-Darstellung gegeben ist. Die Mantisse ist normiert auf $0,5 \leq |m| < 1$, der Exponent ist eine ganze Zahl.

Gegeben sind die Zahlen $A = -5$ und $B = -0,40625$.

- f) Geben Sie die Werte am Eingang des Gleitkomma-Multiplizierers im Gleitkomma-Format an.
- g) Führen Sie die Multiplikation im Gleitkomma-Format durch. Geben Sie das Ergebnis auch im Dezimalformat an.

Aufgabe 3.27 (Klausur F98)

Analysiert werden soll das folgende parallele Multiplikationswerk für Betragsszahlen, das aus einem Feld von Multiplizier-Zellen besteht.



Mit diesem parallelen Multiplikationswerk können eine Zahl $A = \{a_3, a_2, a_1, a_0\}$ und eine Zahl $B = \{b_1, b_0\}$ miteinander multipliziert werden.

- a) Geben Sie alle Zwischenergebnisse bei der Berechnung des Produktes $A = \{1, 0, 1, 1\}$ und $B = \{1, 1\}$ an. Füllen Sie dazu die angefügten Tabellen aus.

1. Stufe

b_1	b_0	A_3	a_2	a_1	a_0	p_{30}	p_{20}	p_{10}	p_0	c_{30}	c_{20}	c_{10}	c_{00}
1	1	1	0	1	1								

2. Stufe

b_1	b_0	A_3	a_2	a_1	a_0	p_{41}	p_{31}	p_{21}	p_1	c_{41}	c_{31}	c_{21}	c_{11}
-------	-------	-------	-------	-------	-------	----------	----------	----------	-------	----------	----------	----------	----------

Aufgabe 3.28 (Klausur F99)

Um ein Rechenwerk für einen 2er-Komplement-Multiplizierer zu sparen, soll ein Schaltnetz entworfen werden, das eine 2-er-Komplement Multiplikation durchführt.

Dieses besitzt die Eingänge x und y mit jeweils 2-Bit Wortbreite (x_0 und $y_0 = \text{LSB}$) sowie einen Ausgang z mit 4 Bit Wortbreite ($z_0 = \text{LSB}$). Berechnet werden soll somit:

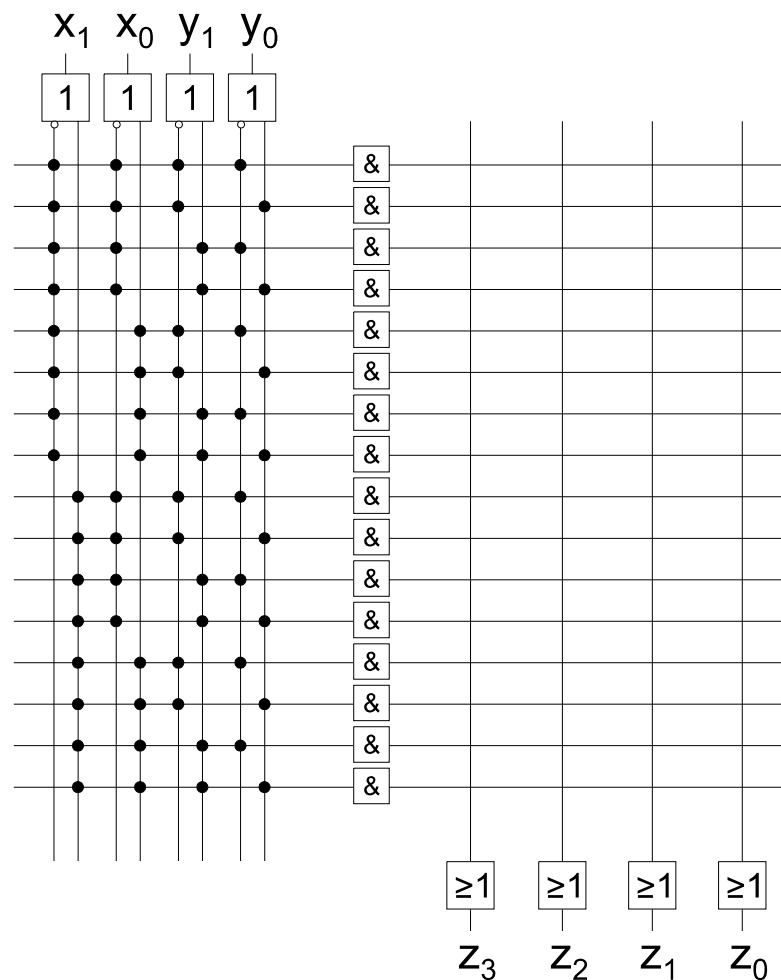
$$z = x \cdot y$$

Die Eingangs- und Ausgangswerte sollen jeweils im 2-er Komplement dargestellt werden.

- a) Füllen Sie die Spalten für die dezimalen Werte der Eingangs- und Ausgangsvariablen aus, so daß die Funktion $z = x \cdot y$ realisiert wird. Stellen Sie die vollständige Wahrheitstabelle für z_3 bis z_0 in Abhängigkeit von den Eingängen x_0, x_1, y_0 und y_1 auf.

	x_1	x_0	y_1	y_0	Dezimaler Wert von x	Dezimaler Wert von y	Dezimaler Wert von z	z_3	z_2	z_1	z_0
0	0	0	0	0							
1	0	0	0	1							
2	0	0	1	0							
3	0	0	1	1							
4	0	1	0	0							
5	0	1	0	1							
6	0	1	1	0							
7	0	1	1	1							
8	1	0	0	0							
9	1	0	0	1							
10	1	0	1	0							
11	1	0	1	1							
12	1	1	0	0							
13	1	1	0	1							
14	1	1	1	0							
15	1	1	1	1							

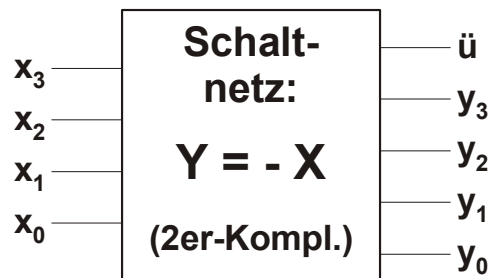
- b) Geben Sie die minimale disjunktive Form der booleschen Funktionen für z_3 bis z_0 in Abhängigkeit von x_0 , x_1 , y_0 und y_1 an
- c) Realisieren Sie die booleschen Funktionen z_3 bis z_0 in Abhängigkeit von x_0 , x_1 , y_0 und y_1 mit einem PROM (benutzen Sie die beigelegte Vorlage).



- d) Geben Sie eine Schaltungsrealisierung für die boolesche Funktion $\overline{x_1 y_1 y_0} \vee \overline{x_1 x_0 y_1}$ an, in der nur NAND-Gatter (mit beliebig vielen Eingängen) verwendet werden.
- e) Für eine nachfolgenden D/A-Wandlung des Ausgangssignals des Multiplizierers ist es erforderlich, daß die Zahlen im Offset-Binary Format vorliegen. Daher soll im folgenden ein Schaltnetz entworfen werden, das eine Umwandlung der 2er-Komplementzahl e mit 4 Bit Wortbreite ($e_0 = \text{LSB}$) in die Offset-Binary-Zahl a mit ebenfalls 4 Bit Wortbreite ($a_0 = \text{LSB}$) vornimmt.



Geben Sie die minimale disjunktive Form der booleschen Funktionen für a_3 bis a_0 in Abhängigkeit von e_3 bis e_0 an.

Aufgabe 3.29 (KlausurH99)

Es soll ein Schaltnetz entworfen werden, daß die mathematische Funktion

$$Y = -X$$

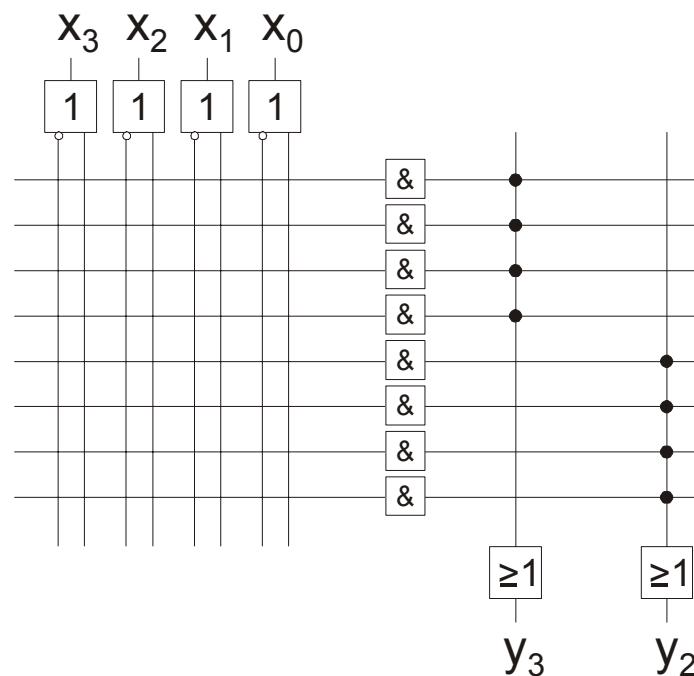
ausführt. Die Eingangs- und Ausgangswerte X und Y sollen jeweils mit 4 Bit und im *2-er Komplement* (*vorzeichenbehaftet, x_3 und y_3 sind Vorzeichenbits !*) dargestellt werden.

Falls für eine Zahl die korrekte Zahl $-X$ nicht mit der vorgegebenen Stellenanzahl dargestellt werden kann, soll dies durch eine 1 am Überlaufwarnausgang $\ddot{u}$ angezeigt werden. Die Werte für y_3 bis y_0 sind in diesem Falle nicht von Bedeutung.

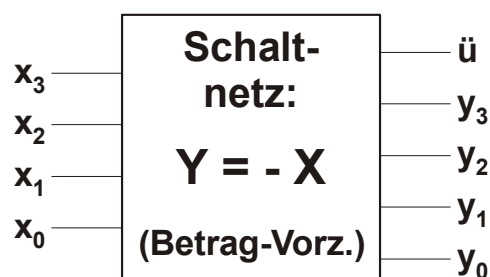
- a) Füllen Sie die Spalten für die dezimalen Werte der Eingangs- und Ausgangsvariablen aus, so daß die Funktion $Y = -X$ realisiert wird. Stellen Sie die vollständige Wahrheitstabelle für y_3 bis y_0 in Abhängigkeit von den Eingängen x_0, x_1, y_0 und y_1 auf.

	x_3	x_2	x_1	x_0	Dezimaler Wert von x	Dezimaler Wert von y	ü	y_3	y_2	y_1	y_0
0	0	0	0	0							
1	0	0	0	1							
2	0	0	1	0							
3	0	0	1	1							
4	0	1	0	0							
5	0	1	0	1							
6	0	1	1	0							
7	0	1	1	1							
8	1	0	0	0							
9	1	0	0	1							
10	1	0	1	0							
11	1	0	1	1							
12	1	1	0	0							
13	1	1	0	1							
14	1	1	1	0							
15	1	1	1	1							

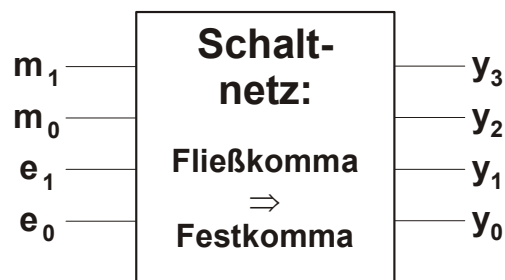
- b) Geben Sie die minimale disjunktive Form der booleschen Funktionen für y_3 bis y_0 und $\ddot{u}$ in Abhängigkeit von x_3 bis x_0 an.
- c) Realisieren Sie die booleschen Funktionen y_3 und y_2 in Abhängigkeit von x_3 bis x_0 mit einem PAL.



- d) Geben Sie eine Schaltungsrealisierung für die boolesche Funktion $\overline{x_2 x_1 x_0} \vee \overline{x_2 x_1} \vee \overline{x_2 x_0}$ an, in der nur NAND-Gatter (mit beliebig vielen Eingängen) verwendet werden.
- e) Im folgenden soll ein Schaltnetz betrachtet werden, daß die gleiche Funktion $Y = -X$ mit Überlaufwarnung, wie das oben dargestellte Schaltnetz realisieren soll. Allerdings sollen jetzt die Eingangs- und Ausgangswerte X und Y jeweils mit 4 Bit und in Betrag-Vorzeichendarstellung (vorzeichenbehaftet, x_3 und y_3 sind Vorzeichenbits !) dargestellt werden.



Geben Sie die minimale disjunktive Form der booleschen Funktionen für y_3 bis y_0 und $\ddot{u}$ in Abhängigkeit von x_3 bis x_0 an.

Aufgabe 3.30 (Klausur F00)

Es soll ein Schaltnetz entworfen werden, das eine Umwandlung einer positiven Fließkommazahl in eine positive Festkommazahl vornimmt. Die Fließkommazahl hat folgendes Zahlenformat:

$$\underbrace{0 \ . \ 1 \ m_1 \ m_0}_{\text{Mantisse}} \cdot 2^{\underbrace{e_1 \ e_0}_{\text{Exponent}}}$$

$m_3=0 \quad m_2=1$

Die Mantisse ist eine rein positive Zahl und bewegt sich im Bereich $0.5 \leq m < 1$, da die Vorkommastelle $m_3=0$ und die erste Nachkommastelle $m_2=1$ fest vorgegeben sind. Der Exponent ist im Offset-Binary Format (also VORZEICHENBEHAFTET!) dargestellt. Die Festkommazahl soll als rein positive Zahl mit einer Vor- und drei Nachkommastellen dargestellt werden, also im Format:

$$\underbrace{y_3}_{\text{Vorkommastelle}} \ . \ \underbrace{y_2 \ y_1 \ y_0}_{\text{Nachkommastellen}}$$

Alle Stellen nach der dritten Nachkommastelle sollen hierbei nicht berücksichtigt (also abgeschnitten) werden.

- a) Geben Sie zunächst die zu den Exponenten im Offset-Binary Format zugehörigen Dezimalwerte (VORZEICHENBEHAFTET!) an.

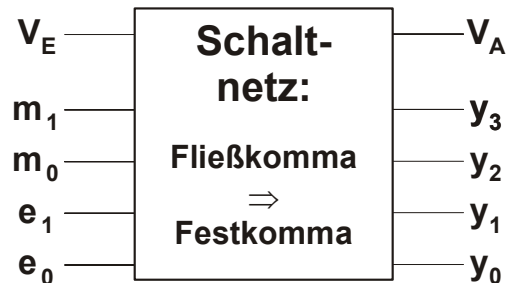
Exponent im Offset-Binary Format		Exponent als Dezimalzahl
e_1	e_0	
0	0	
0	1	
1	0	
1	1	

- b) Stellen Sie die vollständige Wahrheitstabelle für y_3 bis y_0 in Abhängigkeit von den Eingängen m_3 bis m_0 sowie e_1 und e_0 auf.

	m_3	m_2	m_1	m_0	e_1	e_0	Exponent dezimal	y_3	y_2	y_1	y_0
0	0	1	0	0	0	0					
1	0	1	0	0	0	1					
2	0	1	0	0	1	0					
3	0	1	0	0	1	1					
4	0	1	0	1	0	0					
5	0	1	0	1	0	1					
6	0	1	0	1	1	0					
7	0	1	0	1	1	1					
8	0	1	1	0	0	0					
9	0	1	1	0	0	1					
10	0	1	1	0	1	0					
11	0	1	1	0	1	1					
12	0	1	1	1	0	0					
13	0	1	1	1	0	1					
14	0	1	1	1	1	0					
15	0	1	1	1	1	1					

- c) Geben Sie die minimale disjunktive Form der booleschen Funktion für y_3 bis y_0 in Abhängigkeit von m_1 , m_0 , e_1 und e_0 an. (Verwenden Sie die beigefügten KV-Diagramme.)
- d) Realisieren Sie die boolesche Funktion y_1 in Abhängigkeit von m_1 , m_0 , e_1 und e_0 mit zwei 4:1 Multiplexern und einem 2:1 Multiplexer.

- e) Im Folgenden soll ein Schaltnetz betrachtet werden, das nicht nur positive, sondern auch negative Fließkommazahlen in Festkommazahlen umwandelt. Hierzu wird ein zusätzliches Vorzeichenbit V_E für die Eingangszahl bzw. V_A für die Ausgangszahl verwendet.



Das resultierende Zahlenformat der Eingangs- bzw. Ausgangszahl lautet somit:

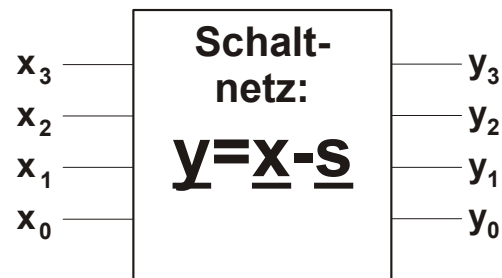
Eingangszahl:

$$\overbrace{(-1)^{V_E}}^{\text{Vorzeichen}} \cdot \underbrace{0 \cdot 1 \cdot m_1 \cdot m_0}_{\substack{m_3=0 \quad m_2=1}}^{\text{Mantisse}} \cdot 2^{\overbrace{e_1 e_0}^{\text{Exponent}}}$$

Ausgangszahl:

$$\overbrace{(-1)^{V_A}}^{\text{Vorzeichen}} \cdot \underbrace{y_3}_{\text{Vorkommastelle}} \cdot \underbrace{y_2 y_1 y_0}_{\text{Nachkommastellen}}$$

- f) Geben Sie die minimale disjunktive Form der booleschen Funktion für V_A an:
 g) Welche Änderungen sind bei den booleschen Gleichungen für y_3 bis y_0 gegenüber Aufgabenpunkt c) erforderlich?

Aufgabe 3.31 (KlausurH00)

Es soll ein Schaltnetz entworfen werden, das die Abweichung eines Eingangswertes ($\underline{x} = \{x_3x_2x_1x_0\}$; x_3 =MSB) von einem Sollwert $\underline{s}$ berechnet. Hierbei sollen sowohl der Eingangs- und Sollwert, als auch der Ausgangswert ($\underline{y} = \{y_3y_2y_1y_0\}$; y_3 =MSB) im Zweierkomplement (Vorzeichenbehaftet!) dargestellt werden. Falls die Abweichung vom Sollwert größer ist, als mit der zur Verfügung stehenden Anzahl von Dualstellen darstellbar, soll die nächstliegende darstellbare Zahl am Ausgang anliegen (Sättigungscharakteristik).

Der Sollwert betrage in dem zu betrachtenden Beispiel $\underline{s} = \{0101\}$.

- a) Stellen Sie die vollständige Wahrheitstabelle für y_3 bis y_0 in Abhängigkeit von den Eingängen x_3 bis x_0 auf.

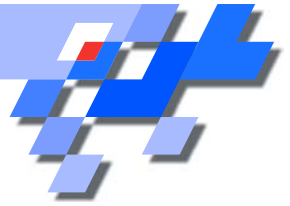
	x_3	x_2	x_1	x_0	$\underline{x}$ dezimal	$\underline{x} - \underline{s}$ dezimal	y_3	y_2	y_1	y_0
0	0	0	0	0						
1	0	0	0	1						
2	0	0	1	0						
3	0	0	1	1						
4	0	1	0	0						
5	0	1	0	1						
6	0	1	1	0						
7	0	1	1	1						
8	1	0	0	0						
9	1	0	0	1						
10	1	0	1	0						
11	1	0	1	1						
12	1	1	0	0						
13	1	1	0	1						
14	1	1	1	0						
15	1	1	1	1						

- b) Geben Sie die minimale disjunktive Form der Boole'schen Funktion für y_3 und y_2 in Abhängigkeit von den Eingängen x_3 bis x_0 an. (Verwenden Sie die beigefügten KV-Diagramme.)
- c) Realisieren Sie die Boole'sche Funktion y_1 in Abhängigkeit von x_3 bis x_0 mit zwei 4:1 Multiplexern und einem 2:1 Multiplexer.
- d) Im Folgenden soll angenommen werden, dass der Ausgangswert nicht von Bedeutung ist, falls die Abweichung vom Sollwert größer ist, als mit der zur Verfügung stehenden Anzahl von Dualstellen darstellbar. Der Sollwert betrage wie oben $\underline{s}=\{0101\}$.

Stellen Sie hierfür die vollständige Wahrheitstabelle für y_3 bis y_0 in Abhängigkeit von den Eingängen x_3 bis x_0 auf.

	x_3	x_2	x_1	x_0	$\underline{x}$ dezimal	$\underline{x-s}$ dezimal	y_3	y_2	y_1	y_0
0	0	0	0	0						
1	0	0	0	1						
2	0	0	1	0						
3	0	0	1	1						
4	0	1	0	0						
5	0	1	0	1						
6	0	1	1	0						
7	0	1	1	1						
8	1	0	0	0						
9	1	0	0	1						
10	1	0	1	0						
11	1	0	1	1						
12	1	1	0	0						
13	1	1	0	1						
14	1	1	1	0						
15	1	1	1	1						

- e) Geben Sie die minimale disjunktive Form der Boole'schen Funktion für y_3 und y_2 in Abhängigkeit von den Eingängen x_3 bis x_0 an.



Übungsaufgaben zur Vorlesung

Grundlagen der Informationsverarbeitung II

Sommersemester 2004

Aufgaben zu Kapitel 4 Schaltwerke

Betreuer:

Prof. Dr.-Ing. H. Schröder

Raum: P1-04-211

Tel.: 755-3190

Email: hartmut.schroeder@uni-dortmund.de

Dipl.-Ing. H. Lange

Raum: P1-04-210

Tel.: 755-2028

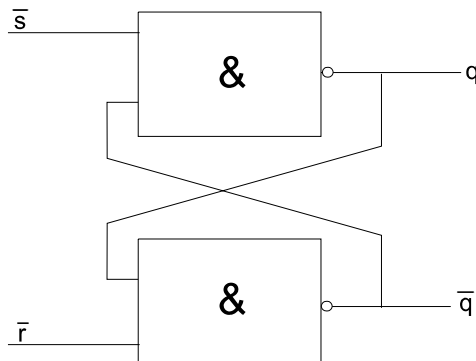
Email: hendrik.lange@uni-dortmund.de

Aktuelle Informationen zur Vorlesung gibt es unter:

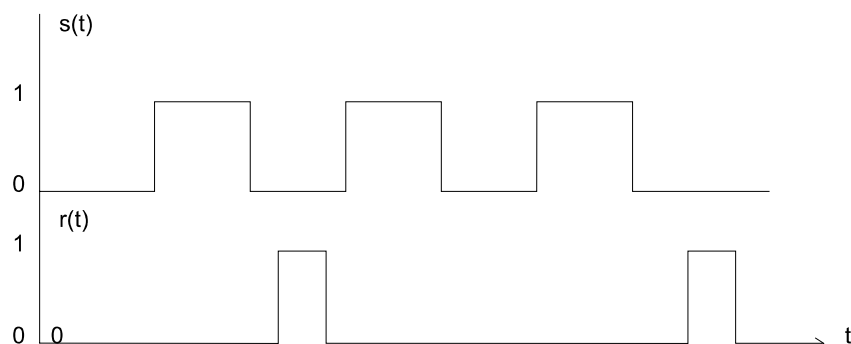
http://www-kt.e-technik.uni-dortmund.de/m_siv/giv/giv_main.html

Aufgabe 4.1

Erläutern Sie die Funktionsweise des im folgenden Bild dargestellten Flip Flops.

**Aufgabe 4.2**

Die Eingangsvariablen eines SR - Flip Flops s und r haben folgende Signalverläufe:



Zeichnen Sie das Signalzeitdiagramm für das Ausgangssignal q des Flip-Flops bei

- a) $q(t = 0) = 0$
- b) $q(t = 0) = 1$

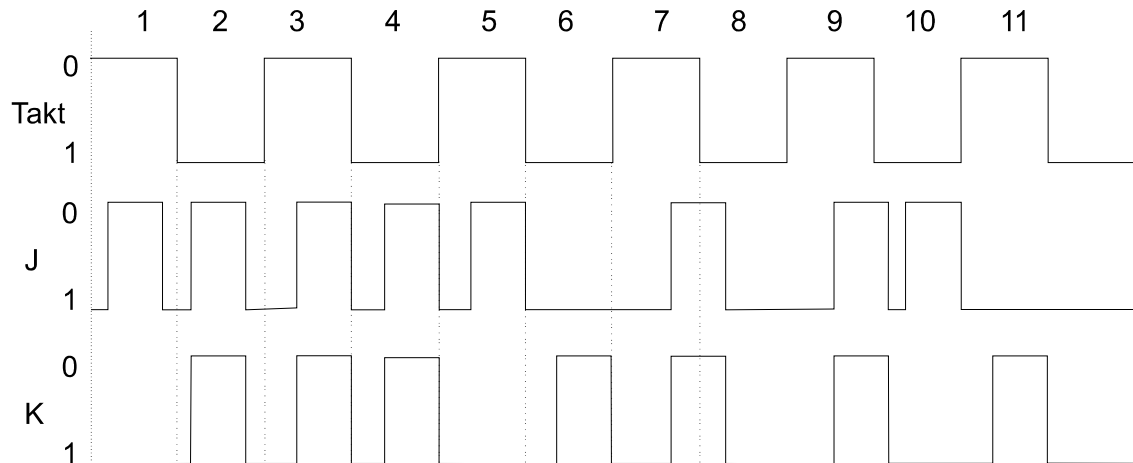
Aufgabe 4.3

Bei einem SR-FF wird durch geeignete Eingangsbeschaltung die Setzeigenschaft bevorzugt (Setz-dominierendes SR-FF). Der Unterschied zwischen dem SDR- einem normalen SR-FF liegt darin, daß bei $s=r=1$ das Flip Flop gesetzt wird.

- a) Stellen Sie die Wahrheitstabelle der Eingangsbeschaltung auf und ermitteln Sie die zugehörigen logischen Funktionen
- b) Geben Sie die Schaltung für das SDR-FF an
- c) Wie sieht dann die Eingangsbeschaltung aus, wenn bei $s=r=1$ das Flip Flop den alten Zustand speichern soll

Aufgabe 4.4

Die Signalzeit-Diagramme für die Eingangsvariablen eines taktflankengesteuerten JK-Flip Flops sind im folgenden Bild gegeben:

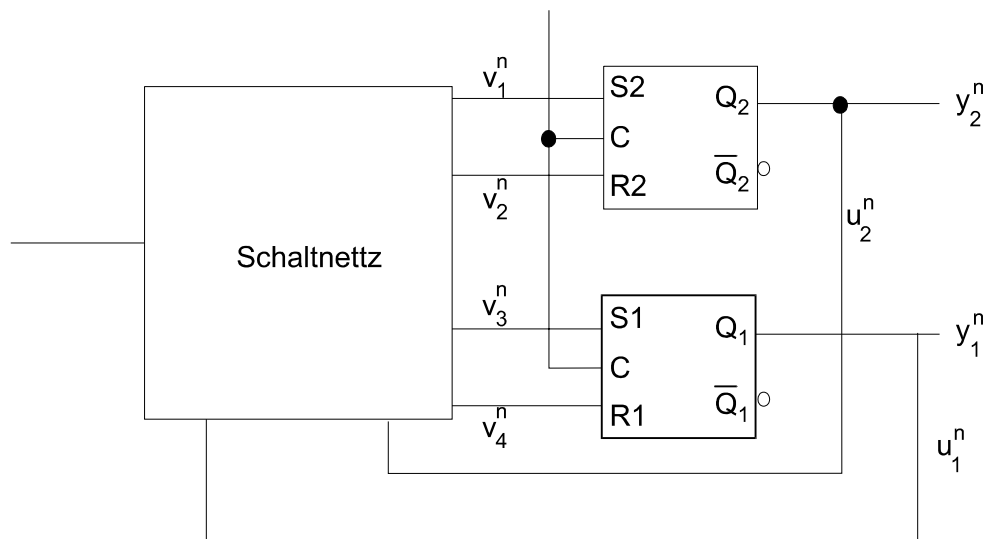


- Kann das FF in dem angegebenen Signalzeit-Diagramm bei jeder Taktflanke eindeutig schalten?
- Wie könnte man eindeutige Schaltverhältnisse zwischen Takt und Eingangsvariable schaltungsmäßig realisieren?
- Zeichnen Sie für diesen Fall das Signalzeit-Diagramm für die Ausgangsvariable q bei positiver und negativer Flankensteuerung.

Aufgabe 4.5

Zum Aufbau asynchroner Zähler können taktflankengesteuerte Flip Flops eingesetzt werden, die so beschaltet werden, daß jedes Einzelement die Übergangsfunktion $u_i^{n+1} = \overline{u_i^n}$ besitzt. Realisieren Sie ein solches Element mit einem positiv flankengesteuerten

- D-Flip Flop
- T-Flip Flop
- JK-Flip Flop

Aufgabe 4.6

Entwerfen Sie entsprechend obiger Schaltskizze unter Verwendung von RS-Flip Flops einen synchronen Dual-Zähler. In Abhängigkeit vom äußerem Signal x^n soll dieser wie folgt zählen:

$x^n = 0$: 0 - 1 - 2 - 3 - 0 (Dezimal)

$x^n = 1$: 0 - 3 - 2 - 1 - 0 (Dezimal)

- Geben Sie die Übergangstabelle und den Zustandsgraph an!
- Entwerfen Sie das Übergangsschaltnetz auf der Basis der disjunktiven Minimalformen mit Hilfe von KV-Diagrammen!

Aufgabe 4.7 (Klausur H89)

Entwickeln Sie ein synchrones Schaltwerk mit Hilfe von Toggle-Flip Flops. Das Schaltwerk soll autonom die (dezimal codiert) angegebenen Zustände

...-0-1-2-5-6-7-0-...

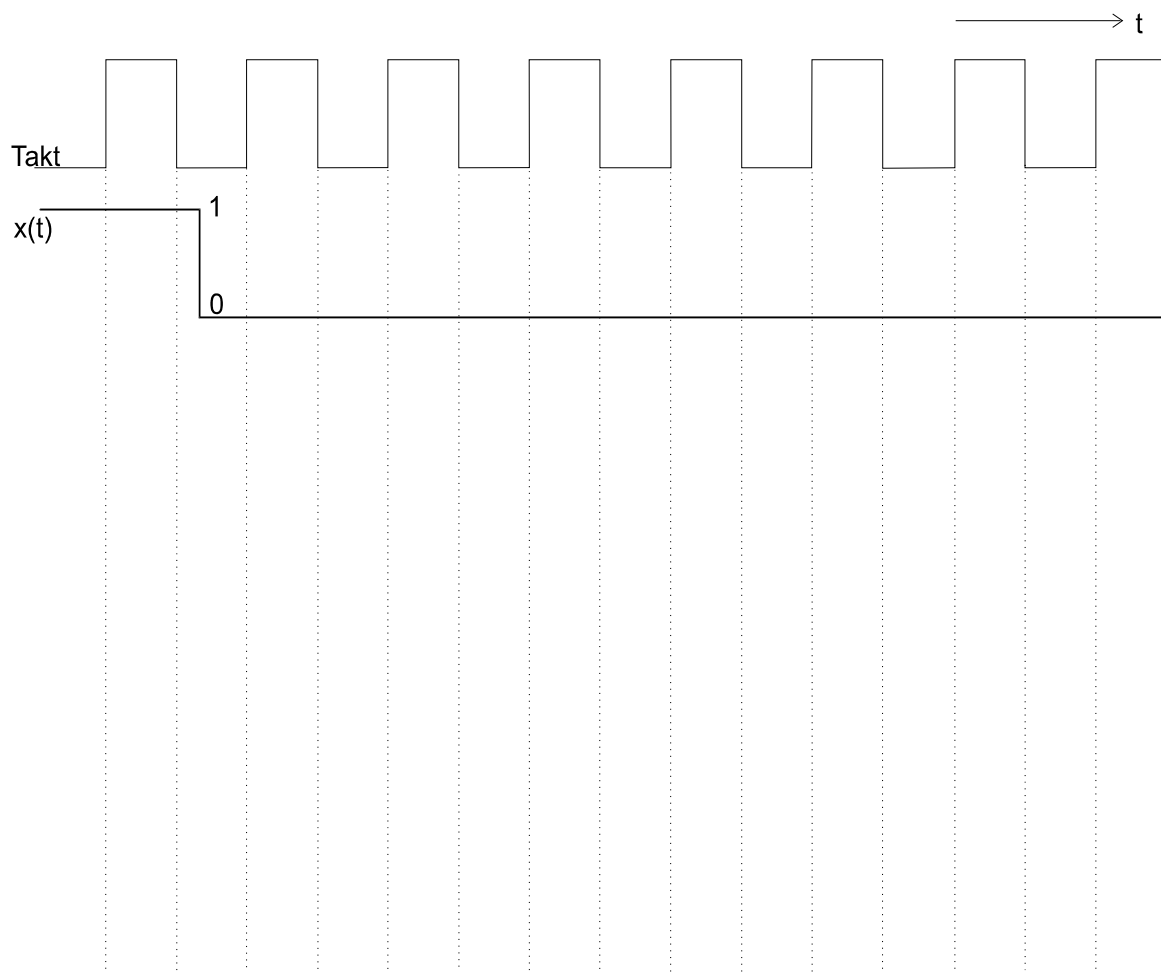
zyklisch durchlaufen. Die Ausgangsvariablen seien gleich den Zustandsvariablen.

- Skizzieren Sie das Blockschaltbild des Schaltwerkes mit den TT-Flip-Flops (aber ohne innere Schaltung des Schaltnetzes). Beschriften Sie die Verbindungen mit den entsprechenden Variablenamen.
- Geben Sie Zustandsgraph und Übergangstabelle an.
- Ermitteln Sie Übergangsgleichungen, Registerkontrollgleichungen und Ausgangsgleichungen in den minimalen disjunktiven Formen.

Aufgabe 4.8 (Klausur F89)

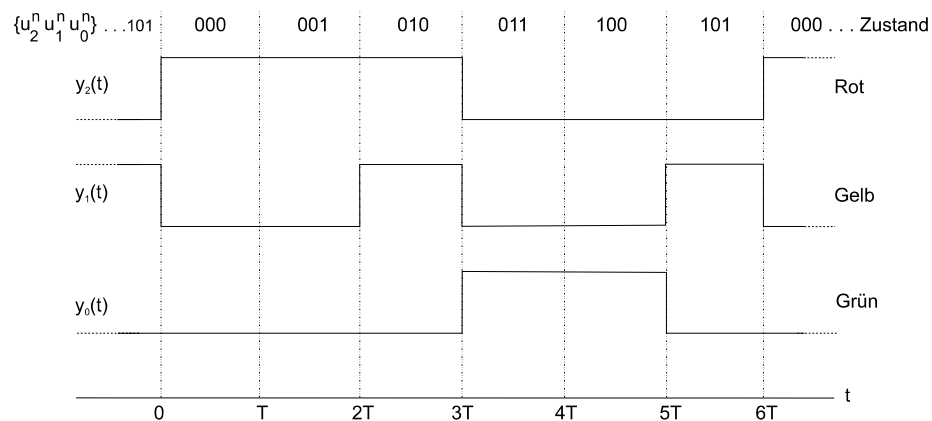
Entwerfen Sie ein synchrones Modulo 4-Schaltwerk mit Hilfe von T-Flip-Flops. Das Schaltwerk habe eine Eingangsvariable x . Mit dem Eingangsvariablenwert $x=1$ erfolgt aus jedem Zustand ein Rücksetzen in den Nullzustand. Die Ausgangsvariablen seien gleich den Zustandsvariablen.

- Skizzieren Sie das Blockschaltbild des Schaltwerkes mit den T-Flip-Flops (aber ohne innere Schaltung des Schaltwerkes). Beschriften Sie die Verbindungen mit den entsprechenden Variablen.
- Geben Sie Übergangstabelle an.
- Ermitteln Sie Übergangsgleichungen, Registerkontrollgleichung und Ausgangsgleichung in den minimalen disjunktiven Formen.
- Zum Zeitpunkt $t=0$ wird das Schaltwerk in den Zählmode gesetzt (s. Skizze). Ergänzen Sie den zugehörigen Signal-Zeit-Verlauf für Registerkontroll- und Zustandsvariablen. Nehmen Sie ein Master-Slave T-Flip-Flop mit positiver Taktfankensteuerung für die Signalübernahme an.



Aufgabe 4.9

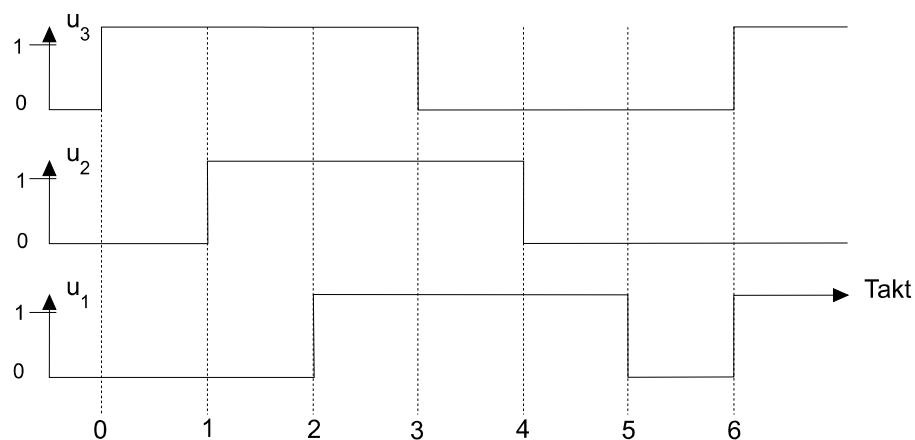
Eine Verkehrsampelsteuerung sei durch ein synchrones Schaltwerk realisiert und durchläuft zyklisch die angegebenen Zustände. Eine Beeinflussung von außen ist nicht möglich.



- Wie bezeichnet man ein solches Schaltwerk? Geben Sie Übergangstabelle und Zustandsgraph an.
- Skizzieren Sie ein schematisches Blockschaltbild des Schaltwerkes ohne innere Beschreibung des zugehörigen Schaltnetzes. Dabei soll der Zustandspeicher mit D-Flip-Flops realisiert sein.
- Geben Sie Übergangsgleichungen, Registerkontrollgleichungen und Ausgangsgleichungen jeweils in der minimalen Form an.

Aufgabe 4.10

Es ist ein synchroner Zähler aus T-FF's aufzubauen, dessen Zustände u_i^n (höchste Wertigkeit hat u_3^n) sich entsprechend dem angegebenen Signalzeit-Diagramm verhalten:



- Geben Sie die Übergangstabelle an!
- Entwerfen Sie das Übergangsschaltnetz mit Hilfe von KV-Diagrammen! Es sollen die disjunktiven Minimalformen gefunden werden.

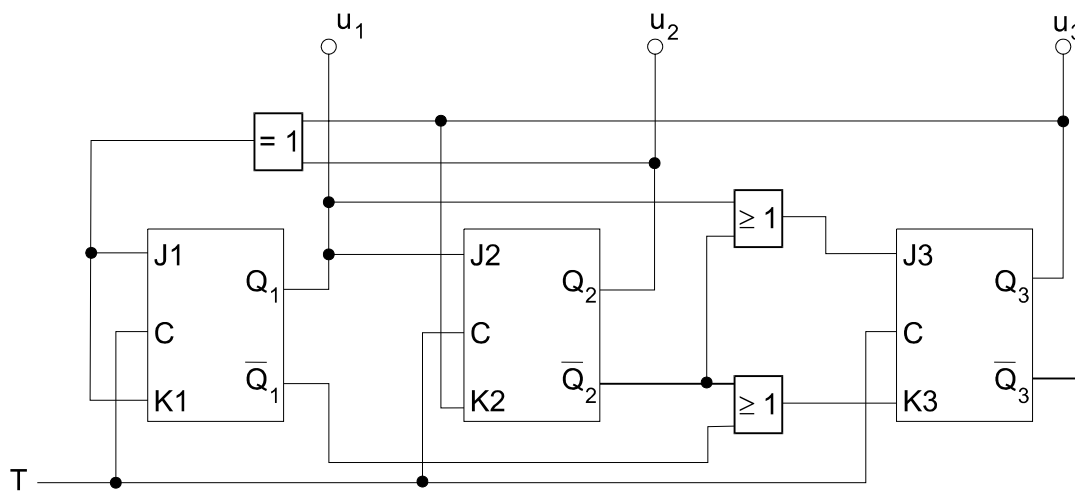
Aufgabe 4.11

Es ist ein Schaltwerk zu entwerfen, das mithilfe eines Eingangsbits ein Modulo 4- oder Modulo 3-Zählerwerk realisiert. Verwenden Sie D-FlipFlops.

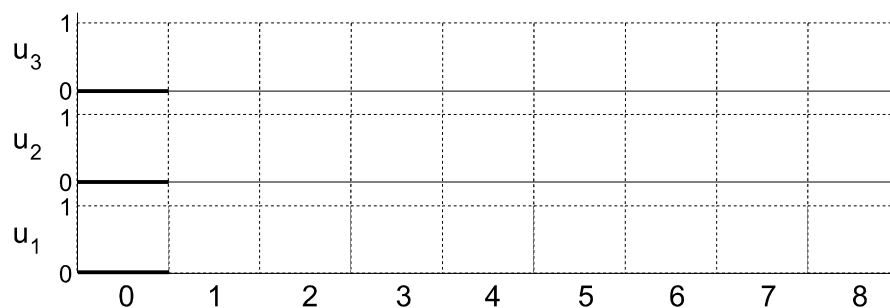
- Geben Sie Übergangstabelle, Zustandsgraph, Übergangsgleichung und Schaltung an!
- Das Schaltwerk soll Ausgangssignale zur Steuerung des besprochenen Multiplizierwerks erzeugen. Geben Sie Ausgangsgleichung und Schaltnetz an!

Aufgabe 4.12

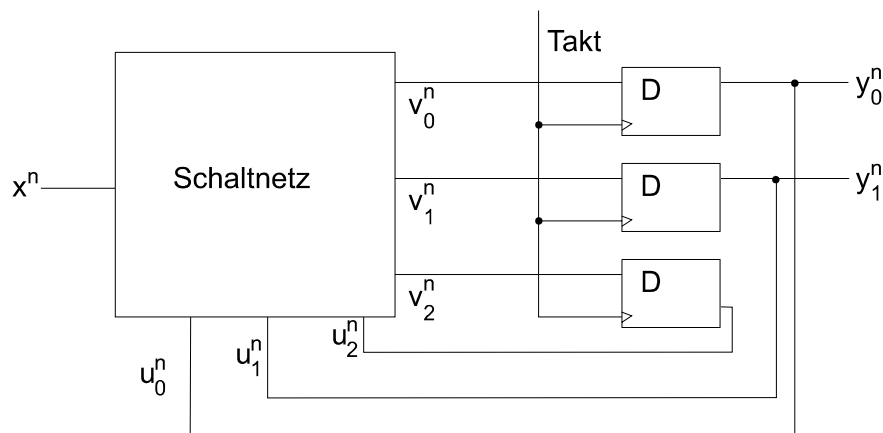
Gegeben sei folgendes Schaltwerk:



- Geben Sie die Ansteuerfunktionen der Flip Flop - Eingänge an !
- Ergänzen Sie das Signalzeit - Diagramm!



- Geben Sie die binäre Zählfolge an!

Aufgabe 4.13 (Klausur H90)

Entwerfen Sie entsprechend obigem Blockschaltbild ein synchrones Schaltwerk mit Hilfe von D-FlipFlops. Das Schaltwerk sei in Betrieb und soll dual vorwärts (modulo 4) und rückwärts (modulo 3) zählen. Die Zählrichtung wird durch das Eingangssignal x^n festgelegt. Der Zählerstand wird an den Ausgängen y_1^n, y_0^n abgelesen, wobei y_0^n das niederwertige Bit ist. In Abhängigkeit von dem Eingangssignal x^n soll das Schaltwerk die Zählerstände an den Ausgängen wie folgt ausgeben.

$x^n = 0 : \dots 00 - 01 - 10 - 11 - 00 \dots$

ein Richtungswechsel ist außer im Zählerstand 11 immer möglich.

$x^n = 1 : \dots 00 - 10 - 01 - 00 \dots$

ein Richtungswechsel ist nur im Zählerstand 00 möglich.

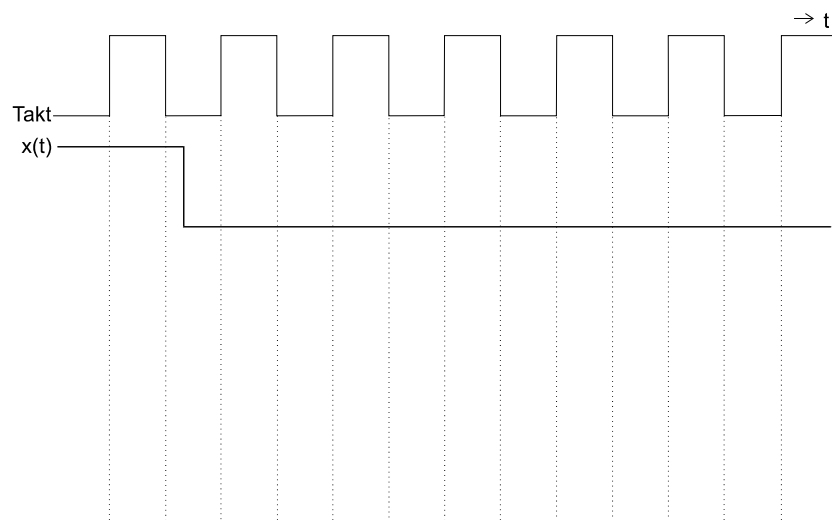
Mit Hilfe eines dritten Flip Flops wird die momentane Zählrichtung vermerkt:

$u_2^n = 0$ die momentane Zählrichtung ist vorwärts.

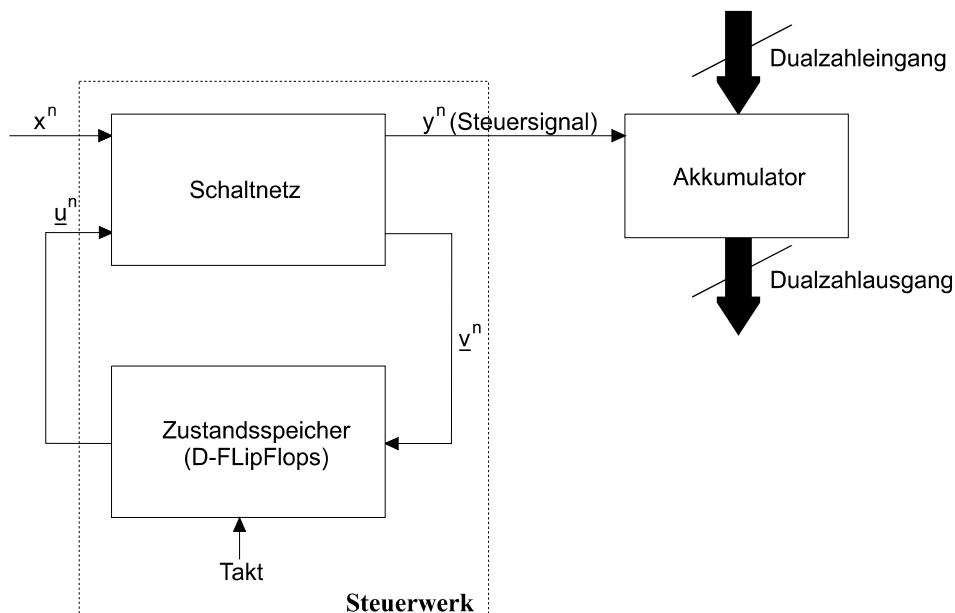
$u_2^n = 1$ die momentane Zählrichtung ist rückwärts.

Wie viele Zustände gibt es bei diesem Schaltwerk?

- Geben Sie Zustandsgraph und Übergangstabelle an?
- Ermitteln Sie Übergangsgleichung, Registerkontrollgleichung und Ausgangsgleichung jeweils in der minimalen disjunktiven Form.
- Zum Zeitpunkt $t=0$ wird das Schaltwerk vom Rückwärtsmode in den Vorwärtsmode gesetzt. Ergänzen Sie den zugehörigen Signal-Zeit-Verlauf für die Zustandsvariablen. Nehmen Sie ein Master-Slave D-Flip-Flop mit positiver Taktzustandssteuerung für die Signalübernahme an.



Aufgabe 4.14 (Klausur F91)

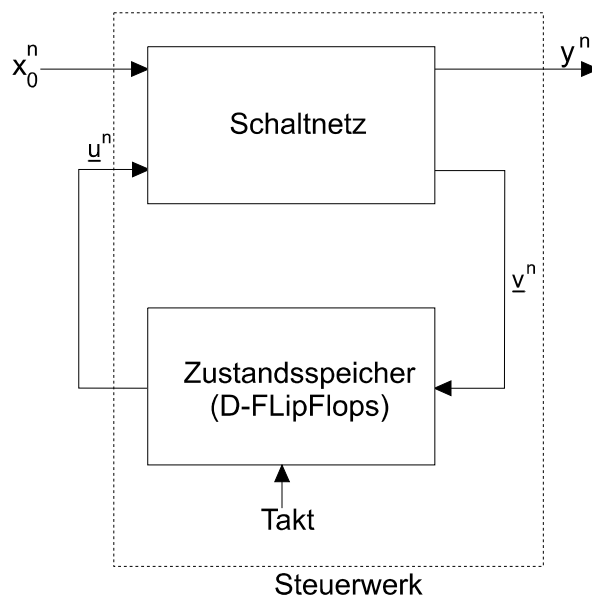


Es ist ein synchrones Steuerwerk (Schaltwerk) mithilfe von D-Flip Flops für einen Akkumulator zur fortlaufenden Addition von Dualzahlen zu entwerfen. Aufgrund eines Eingangssignals $x^n = 1$ startet das Steuerwerk (s. Skizze) und liefert dem Akkumulator ein Steuersignal y^n ab, das den Akkumulator in die Lage versetzt, 3 Zahlen zu addieren. Bei jedem Takt wird eine neue Dualzahl addiert. Danach setzt das Steuerwerk sich selber still, sofern das Eingangssignal $x^n = 0$ ist. Anderenfalls werden weitere 3 Zahlen dazu addiert.

- Geben Sie Zustandsgraph und Übergangstabelle für die minimale Anzahl von Zuständen an.
- Ermitteln Sie Übergangsgleichungen, Registerkontrollgleichungen und Ausgangsgleichungen jeweils in der minimalen disjunktiven Form.

Aufgabe 4.15 (Klausur H91)

Gegeben ist eine automatische Pack- und Sortieranlage, die jeweils 5 einwandfreie Wertstücke packt und sensorgesteuert nicht einwandfreie Wertstücke aussortiert. Nicht einwandfreie Wertstücke werden durch ein Sensorsignal $x_0 = 1$ gemeldet. Entwickeln Sie hierfür ein synchrones Steuerwerk mit Hilfe von D-Flip Flop entsprechend folgender Skizze. Nehmen Sie an, daß die Werkstücke in einem starren synchronen Zeitraster ankommen. Als Ausgangssignal y_0 soll das jeweils 5. einwandfreie Wertstück gemeldet werden.



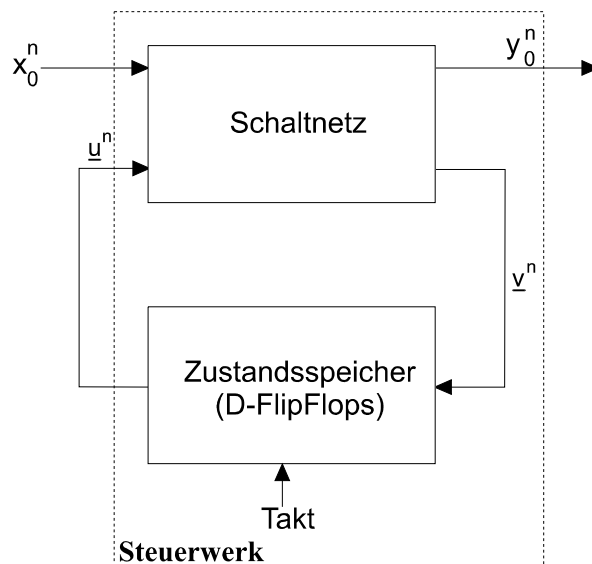
- Geben Sie Zustandsgraph und Übergangstabelle für die minimale Anzahl von Zuständen an.
- Ermitteln Sie Übergangsgleichungen, Registerkontrollgleichungen und Ausgangsgleichungen jeweils in der minimalen disjunktiven Form.

Aufgabe 4.16 (Klausur F92)

Gegeben ist ein Automat zur Ausgabe von Essenmarken. Der Automat nimmt 1 und 2 DM Münzen an. Eine Essenmarke kostet 4 DM. Überzahlungen werden für nächste Essenmarke angerechnet.

Entwickeln Sie hierfür ein synchrones Schaltwerk mit Hilfe von D-Flip Flops entsprechend folgender Skizze. Für den Entwurf des Steuerwerks gilt:

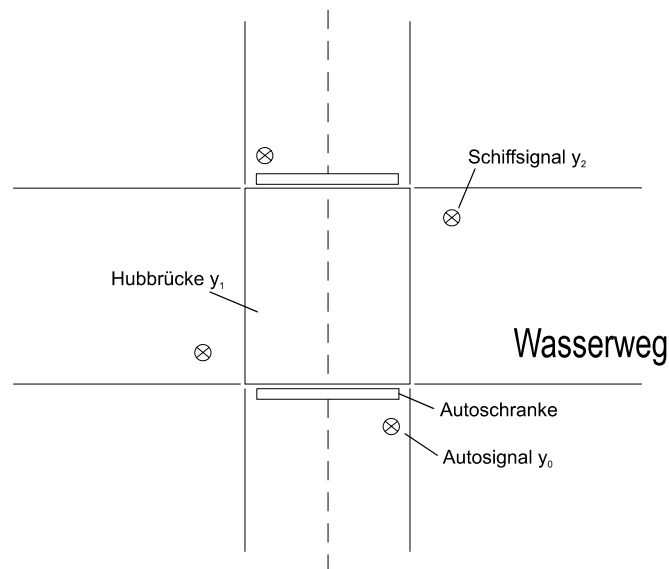
- Jeder Münzeinwurf löst einen Taktimpuls aus.
- Der Einwurf von 1 DM wird mit dem Sensorsignal $x_0^n = 0$, von 2 DM mit $x_0^n = 1$ angezeigt.
- Der bereits eingeworfene Geldbetrag kennzeichnet den momentanen Zustand.
- Die Essenmarke wird ausgegeben, wenn das Ausgangssignal y_0^n den Wert 1 hat.



- Geben Sie den Zustandsgraph und die Übergangstabelle für eine minimale Anzahl von Zuständen an.
- Ermitteln Sie Übergangsgleichungen, Registergleichungen und Ausgangsgleichungen jeweils in der minimalen disjunktiven Form.

Aufgabe 4.17

Zu entwerfen ist eine sequentielle Steuerung als synchrones Schaltwerk mit D-Flip-Flops für eine bewegliche Autobahnstraßenbrücke über einen Schiffahrtsweg entsprechend folgender Skizze.



Dabei soll aufgrund eines durch ein herannahendes Schiff ausgelöstes Schiffsensorsignal folgender Ablauf erfolgen. (Ein weiteres nachfolgendes Schiff beeinflusst diesen Ablauf nicht, sondern bewirkt verzögert einen neuen Zyklus.)

- | | | |
|-----|---------------------|---|
| (0) | Grundzustand: | Straßenverkehr frei (Autosignal, Schranke)
Hubbrücke befahrbar
Schiffsweg gesperrt (Schiffssignal) |
| (1) | Straßensperrung: | gesperrt
Hubbrücke (<i>noch</i>) gesperrt
Schiffsweg (<i>noch</i>) gesperrt |
| (2) | Schiffswegfreigabe: | Straßenverkehr gesperrt
Hubbrücke gehoben
Schiffsweg frei |
| (3) | Schiffswegsperrung | Straßenverkehr (<i>noch</i>) gesperrt
Hubbrücke (<i>noch</i>) gehoben
Schiffsweg (<i>wieder</i>) gesperrt |
| (4) | Grundzustand | s.o. |

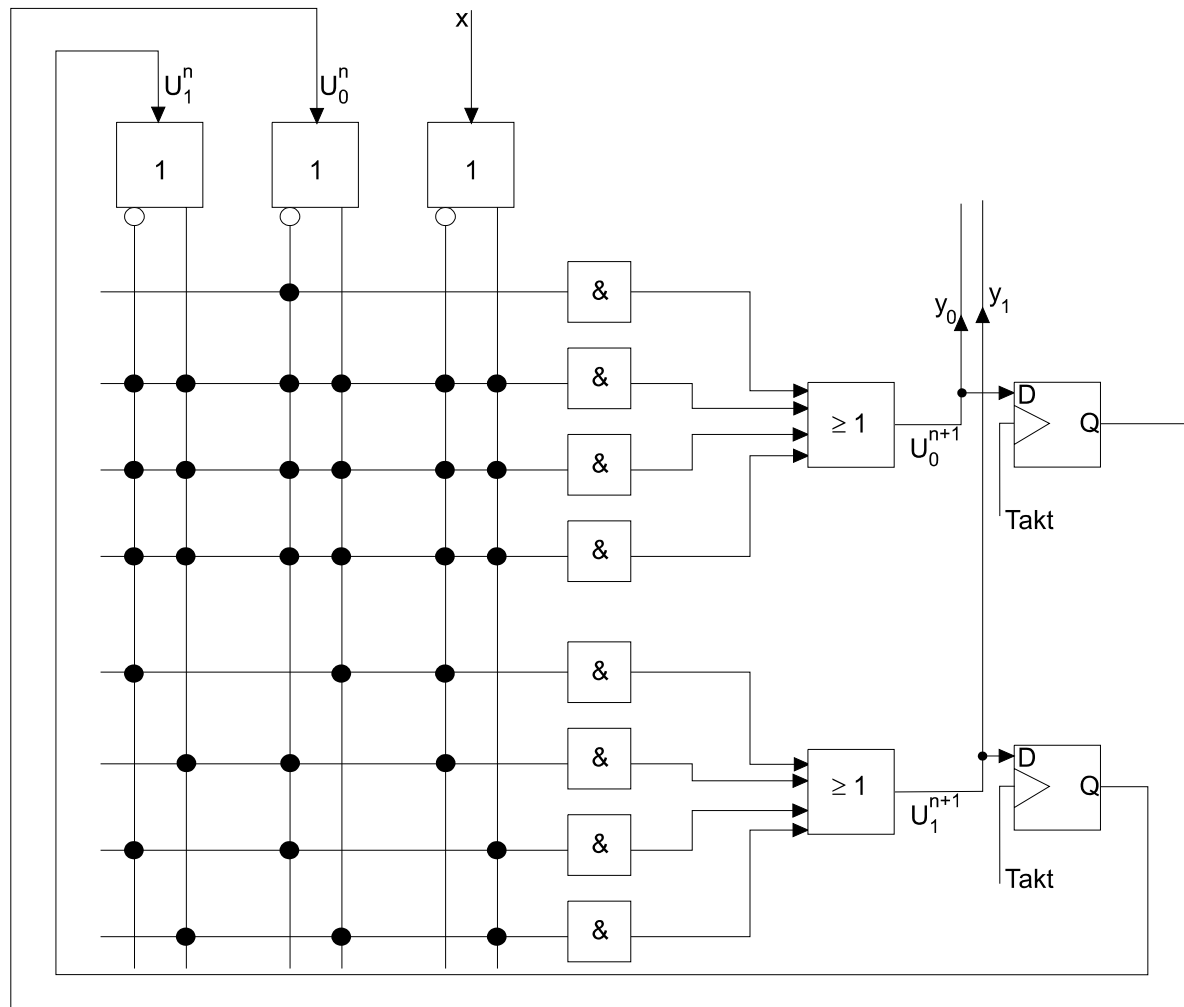
Dabei sind die Ausgangssignale wie folgt definiert:

Autosignal	$y_0 = 1$ für Sperrung
Hubbrückensignal	$y_1 = 1$ für Heben
Schiffssignal	$y_2 = 1$ für Sperrung

- a) Geben Sie den Zustandsgraph und die Übergangstabelle für eine minimale Anzahl von Zuständen an.
- b) Ermitteln Sie Übergangsgleichungen, Registerkontrollgleichungen sowie die Ausgangsgleichung für das Schiffssignal y_2 in den jeweils minimalen disjunktiven Formen.

Aufgabe 4.18 (Klausur H93)

Gegeben ist ein synchrones Schaltwerk, das mithilfe eines PAL-Bausteins (mit integrierten D-Ausgangsregistern und Rückführung) realisiert wurde.

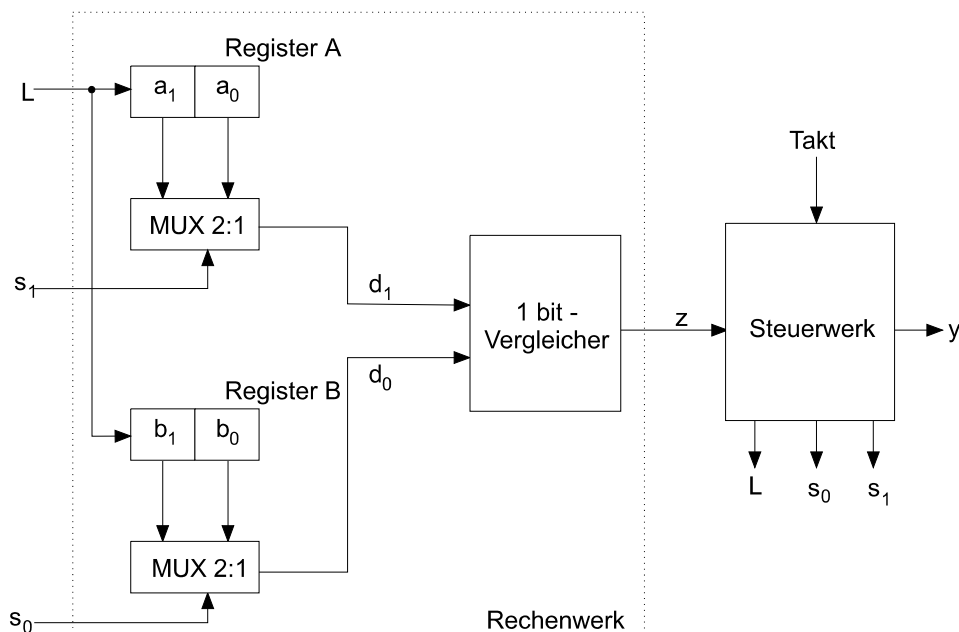


- Ermitteln Sie Übergangstabelle und Zustandsgraph für die gegebene Schaltung.
- Geben Sie Übergangsgleichung, Registerkontrollgleichungen und Ausgangsgleichungen für das realisierte Schaltwerk aus der gegebenen PAL-Realisierung an.
- Welche Funktion wird durch das Schaltwerk realisiert? Welche Steuerung bewirkt das Eingangssignal x ?

Hinweis: In nicht benötigten „UND“-Zeilen eines logischen Feldes tauchen die Eingangsvariablen negiert und nicht negiert auf.

Aufgabe 4.19 (Klausur F94)

Es sollen zwei 2 bit-Binärzahlen mit Hilfe eines 1 bit - Vergleichers miteinander verglichen werden. Hierzu soll ein Steuerwerk (Schaltwerk) entworfen werden, das die entsprechenden Steuervariablen (L , s_1 , s_0) und die Ausgangsvariable y erzeugt.



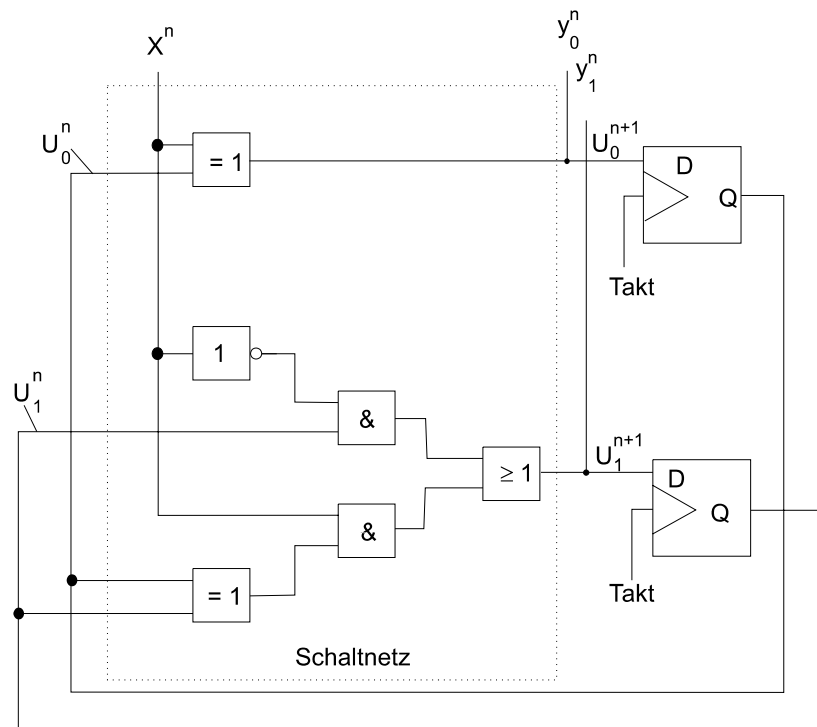
Durch Anlegen einer '1' an den L - Eingang der Datenregister werden zwei neue Zahlen zur Verarbeitung übernommen. Mit Hilfe von zwei Multiplexern kann jeweils 1 bit der beiden Zahlen an den Vergleich gegeben werden. Der Vergleich realisiert folgende Wahrheitstabelle:

d_1	d_0	z
0	0	0
0	1	0
1	0	1
1	1	0

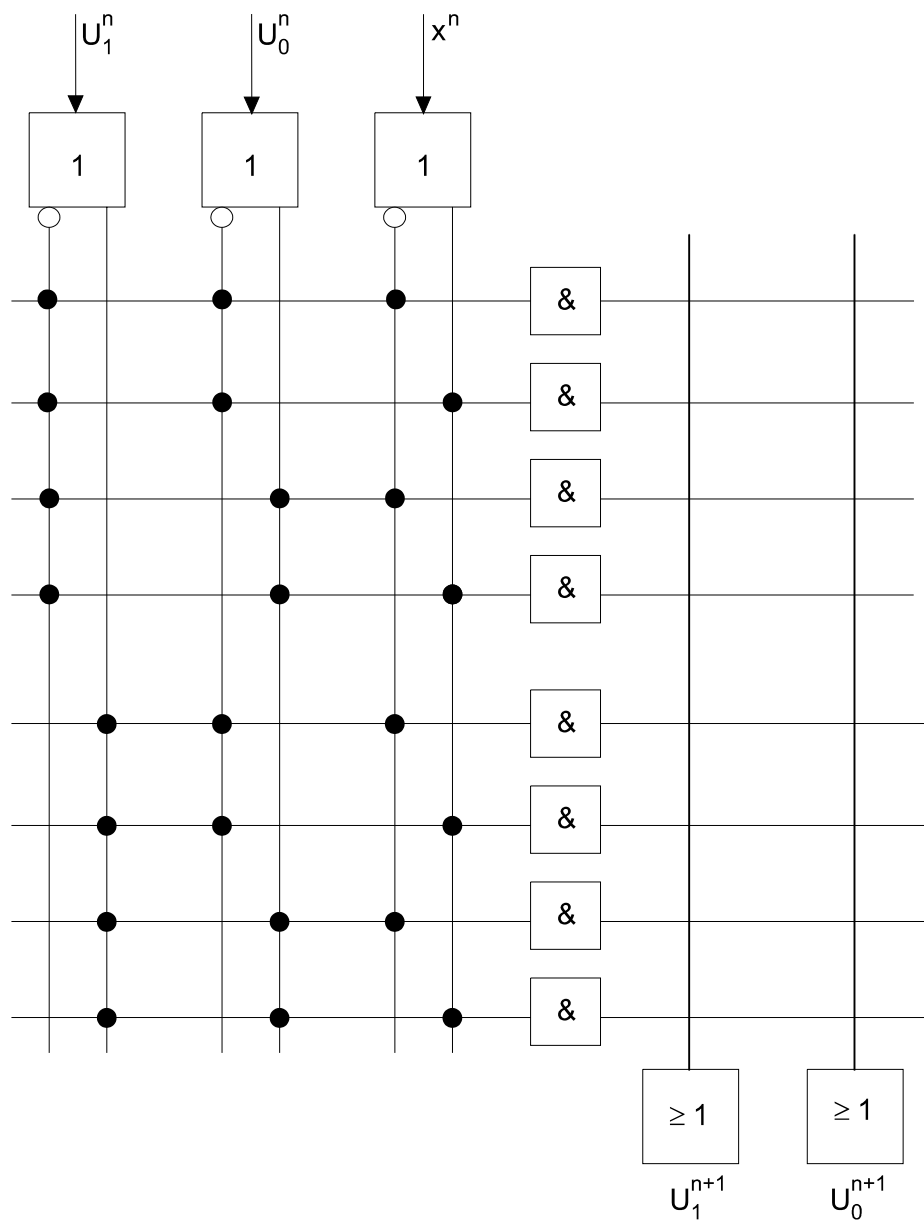
- In welcher Reihenfolge müssen die Bits a_1 , a_0 bzw. b_1 , b_0 an den Vergleich gegeben werden, um die größere von beiden Zahlen zu ermitteln? Wieviel Vergleiche sind hierzu maximal nötig?
- Geben Sie den Zustandsgraphen und die Übergangstabelle für das Schaltwerk an, um im ersten Schritt zwei neue Zahlen A und B zu laden und nachfolgend zu vergleichen. Als Ergebnis soll $y=1$ sein, wenn $A>B$. Dieser Vorgang soll sich zyklisch wiederholen.
- Geben Sie die Übergangsgleichungen, Registerkontrollgleichungen und Ausgangsgleichungen in minimaler disjunktiver Form an. Zur Speicherung der Zustandsvariablen werden D-Flip Flop verwendet.

Aufgabe 4.20 (Klausur F94)

Gegeben ist ein synchrones Schaltwerk:

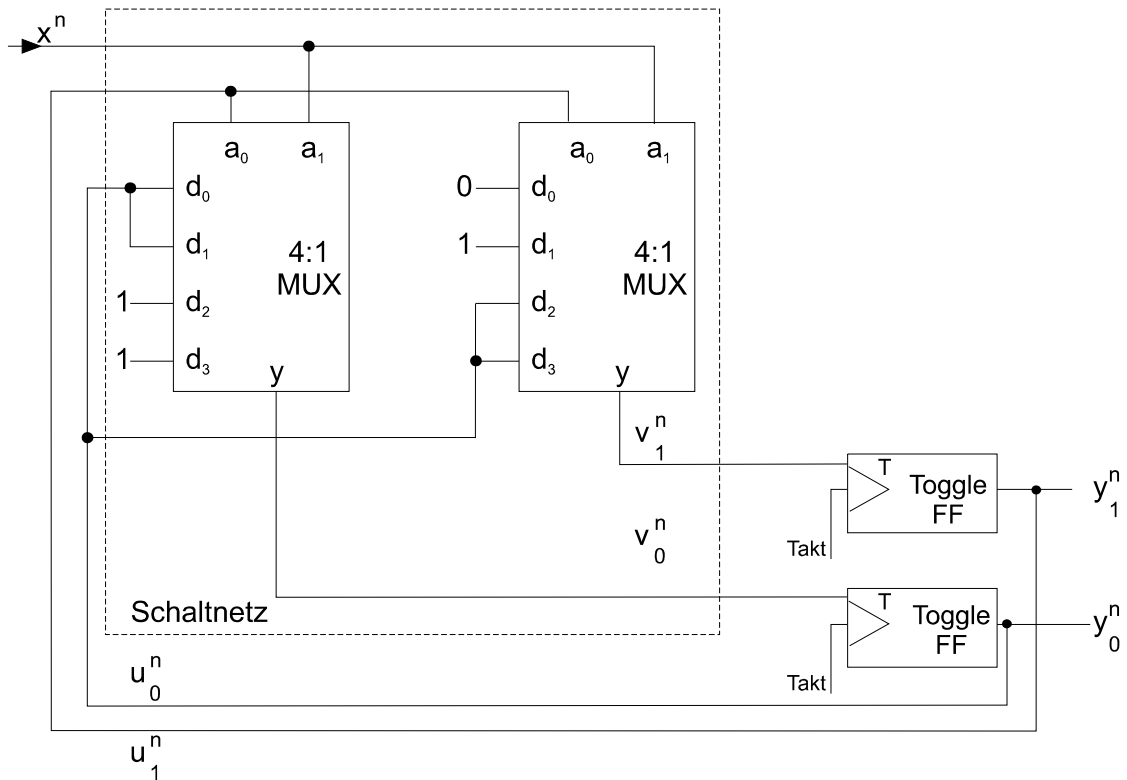


- Geben Sie Übergangsgleichungen, Registerkontrollgleichungen und Ausgangsgleichungen für das realisierte Schaltwerk an.
- Ermitteln Sie Übergangstabelle und Zustandsgraph für die gegebene Schaltung.
- Welche Funktion wird durch das Schaltwerk realisiert? Welche Steuerung bewirkt das Eingangssignal x ?
- Realisieren sie das Schaltnetz zur Generierung der neuen Zustände u_1^{n+1} und u_0^{n+1} mit dem vorbereiteten PROM-Baustein.



Aufgabe 4.21 (Klausur H94)

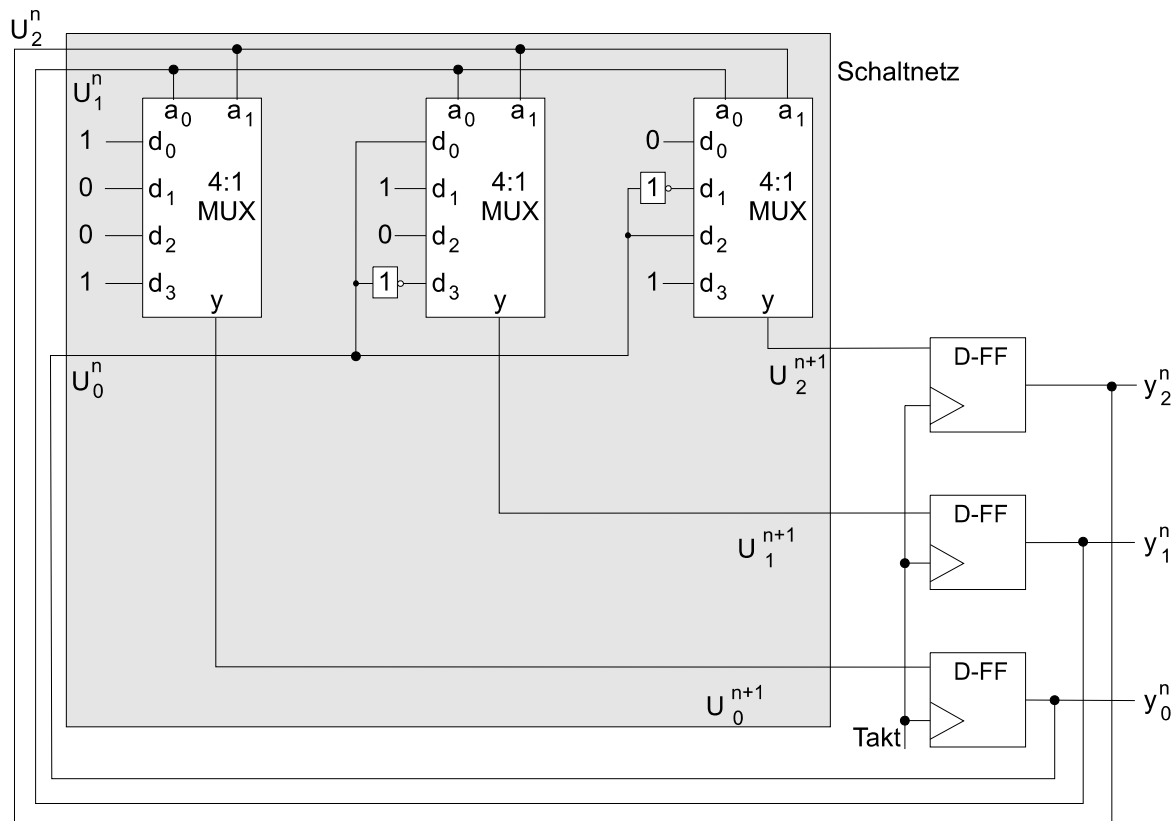
Gegeben ist ein Schaltwerk aus zwei 4:1 Multiplexern und Toggle-Flip Flops.



- Ermitteln Sie Übergangstabelle und Zustandsgraph für die angegebene Schaltung.
- Geben Sie Übergangsgleichungen, Registerkontroll- und Ausgangsgleichungen in minimaler disjunktiver Form für das realisierte Schaltwerk an.
- Was für ein sequentieller Ablauf wird realisiert? Welche Steuerung bewirkt das Eingangssignal?

Aufgabe 4.22 (Klausur F95)

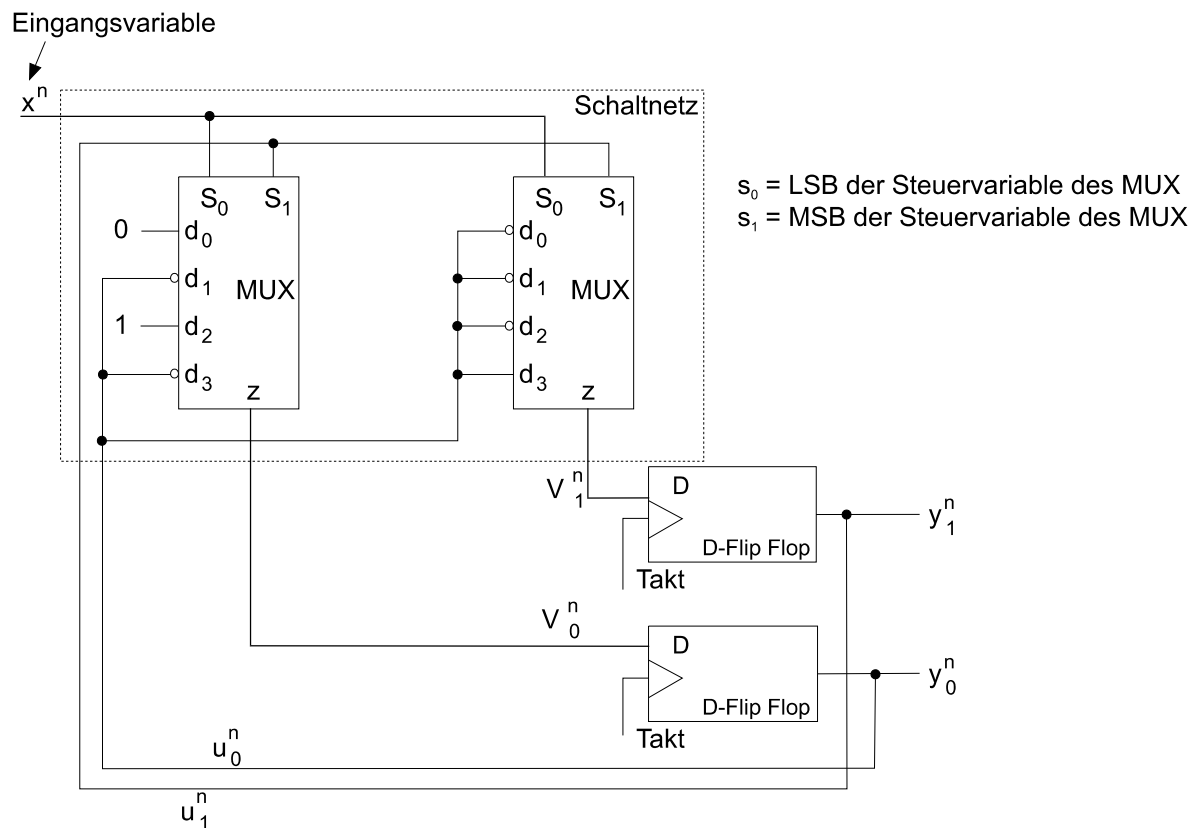
Gegeben ist ein Schaltwerk aus drei 4:1 Multiplexern und D-Flip Flops, das ein Zählwerk realisiert.



- Ermitteln Sie die Übergangstabelle und den Zustandsgraph für die angegebene Schaltung.
- Geben Sie Übergangsgleichungen, Registerkontrollgleichungen und Ausgangsgleichungen in minimaler disjunktiver Form für das Schaltwerk an.
- Von welchem Typ ist das Schaltwerk (2 Eigenschaften)? Welche Besonderheit kennzeichnet den realisierten Zählcode? (Hinweis: Analysieren Sie die aufeinanderfolgenden Bitmuster!)
- Realisieren Sie das Schaltnetz für die Variable u_0^{n+1} mit Hilfe einer Gatterschaltung aus UND, ODER und NEGATION. Vergleichen Sie den Schaltungsaufwand für die Gatterschaltung mit dem Aufwand, der für einen 4:1 Multiplexer nötig ist. Worin liegt der Vorteil einer Multiplexer-Architektur?

Aufgabe 4.23

Gegeben ist ein Schaltwerk aus 4:1 Multiplexern und zwei D-Fip Flips.



- Geben Sie die Übergangstabelle und den Zustandsgraphen an. Geben Sie an mit welchen Variablen Sie Ihren Graphen beschriften !
- Bestimmen Sie die Registerkontrollgleichungen, die Übergangsgleichungen und die Ausgangsgleichung in ihrer minimalen disjunktiven Form.
- Was für ein sequentieller Ablauf wird realisiert ? Welche Steuerung bewirkt das Eingangssignal ?
- Um was für einen Automatentyp handelt es sich (Mealy/Moore, autonom/nicht autonom, synchron/nicht synchron) ?

Aufgabe 4.24

Für einen seriellen Datenstrom soll ein Automat entwickelt werden, der ausgibt, ob innerhalb der übertragenen 3 Bit-Pakete ein Bitfehler vorliegt oder nicht. Der serielle Datenstrom besteht aus 3 Bit-Paketen, die zwei Datenbits und ein Parity -Bit zur Fehlererkennung enthalten. Der Wert des Parity-Bits ist so gewählt, daß im fehlerfreien Fall die Quersumme der Datenbits inklusive des Parity-Bits ungerade ist (Odd-Parity). Mit Hilfe des Ausgangssignals y soll nach dem Empfang eines 3 Bit-Pakets mit $y=1$ angezeigt werden, daß ein Fehler vorliegt, während bei fehlerfreier Übertragung $y=0$ gelten soll. Während der Übertragung des 3 Bit-Pakets ist der Wert des Ausgangssignals y beliebig. Bei der Realisierung des Automaten sollen D-Flip-Flops verwendet werden.



- Geben Sie den Zustandsgraphen und die Übergangstabelle an.
- Bestimmen Sie die Registerkontrollgleichungen, die Übergangsgleichungen und die Ausgangsgleichung in ihrer minimalen disjunktiven Form.
- Geben Sie für die Ausgangs- und die Übergangsgleichungen eine möglichst einfache PAL-Realisierung an.

Aufgabe 4.25 (Klausur F97)

Entwerfen Sie ein Schaltwerk, das im Zahlenbereich zwischen 0 und 3 abhängig von einer Schaltvariablen x^n mit zwei Bit x_1^n, x_0^n folgende Zählreihenfolgen ermöglicht:

$x^n = 0$	: 0 - 1 - 2 - 3 - 0	Modulo 4 vorwärts
$x^n = 1$	: 0 - 3 - 2 - 1 - 0	Modulo 4 rückwärts
$x^n = 2$	: 0 - 2 - 0 - 2 - 0	Alternierend 0 - 2
$x^n = 3$	: 0 - 0 - 0 - 0 - 0	Stillstand bei 0

Erfolgt ein Wechsel des Eingangssignals x^n von einer Zählrichtung auf die andere in einem Zustand, der in dieser Zählreihenfolge nicht vorgesehen ist, so erfolgt zuerst ein Zustandswechsel des Schaltwerks auf den Zustand 0.

Der Ausgangsvektor $y^n = (y_1^n, y_0^n)$ soll jeweils den aktuellen Zustand angeben.

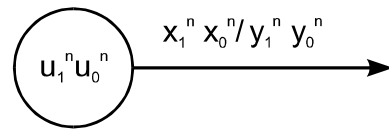
Es gilt folgende Vereinbarung: Index "0" = LSB

Index "1" = MSB

Das Schaltwerk soll mit Hilfe eines PALs für das Schaltnetz und Toggle-Flip Flops als Zustandsspeichern realisiert werden.

- Tragen Sie die Übergangspfeile in den angegebenen Zustandsgraphen ein.
- Füllen Sie die angegebene Zustandstabelle aus.
- Geben Sie die zugehörigen Registerkontroll-, die Ausgangs- und die Übergangsgleichungen in minimierter Form an (KV-Diagramme vorgegeben).
- Beschriften Sie das gegebene Schaltwerk mit den erforderlichen Variablennamen und tragen Sie die für die Realisierung dieses Schaltwerkes erforderlichen Verbindungen in das angegebene PAL ein. Warum bietet es sich hier an, ein PAL zu verwenden ?
- Um was für einen Automatentyp handelt es sich (Mealy/Moore, autonom/nicht autonom, synchron/nicht synchron) ?

Zustandsgraph für Teil a)



00

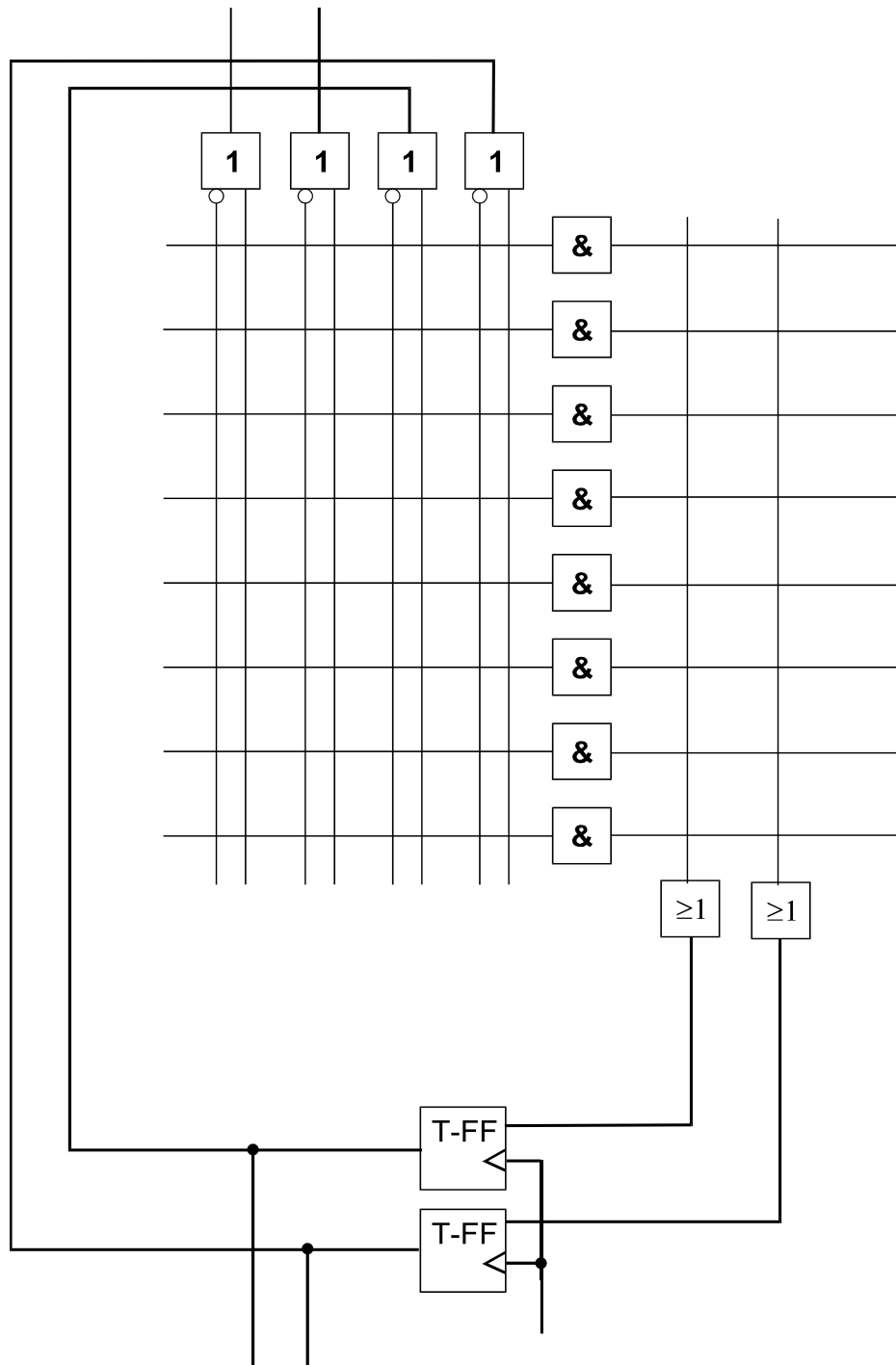
01

11

10

Zustandstabelle für Teil b)

x_1^n	x_0^n	u_1^n	u_0^n	u_1^{n+1}	u_0^{n+1}	v_1^n	v_0^n	y_1^n	y_0^n
0	0	0	0						
0	0	0	1						
0	0	1	0						
0	0	1	1						
0	1	0	0						
0	1	0	1						
0	1	1	0						
0	1	1	1						
1	0	0	0						
1	0	0	1						
1	0	1	0						
1	0	1	1						
1	1	0	0						
1	1	0	1						
1	1	1	0						
1	1	1	1						

Schaltwerk für Teil d)

Aufgabe 4.26 (Klausur H96)

Entwerfen Sie ein Schaltwerk, das im Zahlenbereich zwischen **0** und **7** abhängig von einer Schaltvariablen **x** entweder die ungeraden oder die geraden Zahlen durchzählt. Die Zählreihenfolge lautet also folgendermaßen:

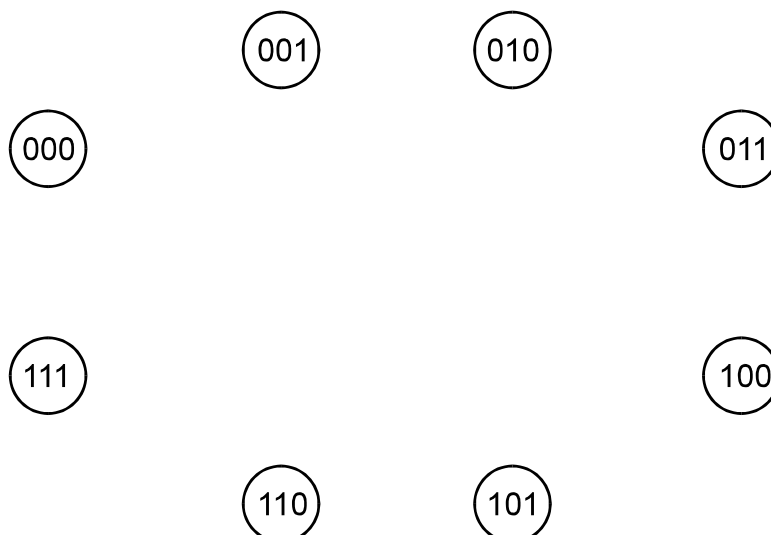
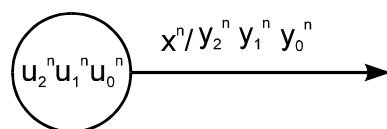
$x^n = 0$: 0 - 2 - 4 - 6 - 0

$x^n = 1$: 0 - 1 - 3 - 5 - 7 - 0

Erfolgt ein Wechsel des Eingangssignals **x** von 0 auf 1 in einem geraden Zustand, so geht das Schaltwerk auf den Zustand 0, ebenso erfolgt bei einem Wechsel von **x** von 1 auf 0 in einem ungeraden Zustand ebenfalls ein Übergang auf den Zustand 0. Der aktuelle Zählerstand soll als Ausgangssignal ausgegeben werden.

Das Schaltwerk soll mit Hilfe eines PALs für das Schaltnetz und D-FlipFlops als Zustandsspeichern realisiert werden.

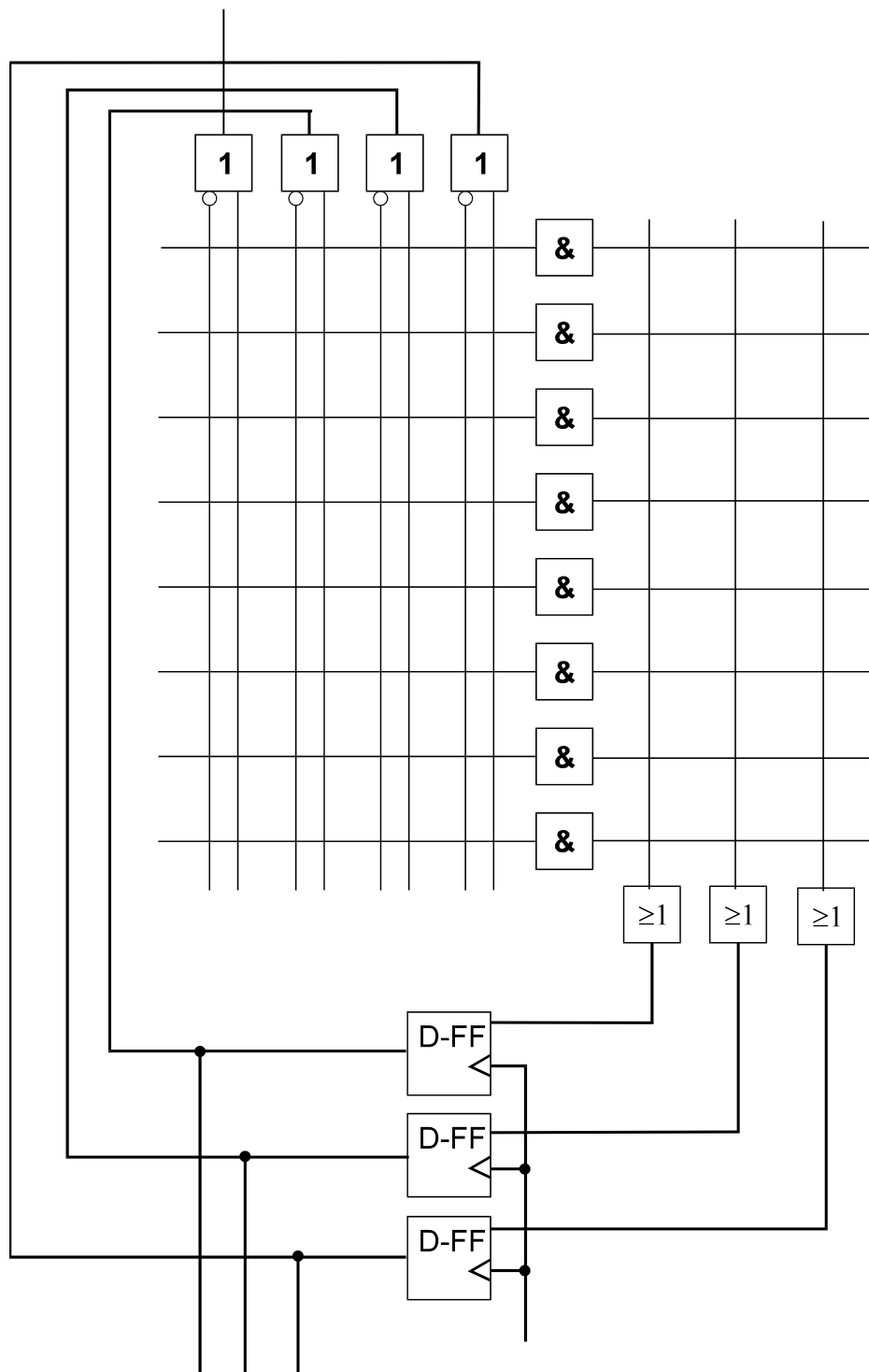
- Warum benötigt man drei Bit für die Codierung des aktuellen Zustandes ?
- Tragen Sie die Übergangspfeile in den unten angegebenen Zustandsgraphen ein. Verwenden Sie dabei die folgende Syntax:



c) Füllen Sie die angegebene Zustandstabelle aus.

x^n	u_2^n	u_1^n	u_0^n	u_2^{n+1}	u_1^{n+1}	u_0^{n+1}	y_2^n	y_1^n	y_0^n
0	0	0	0						
0	0	0	1						
0	0	1	0						
0	0	1	1						
0	1	0	0						
0	1	0	1						
0	1	1	0						
0	1	1	1						
1	0	0	0						
1	0	0	1						
1	0	1	0						
1	0	1	1						
1	1	0	0						
1	1	0	1						
1	1	1	0						
1	1	1	1						

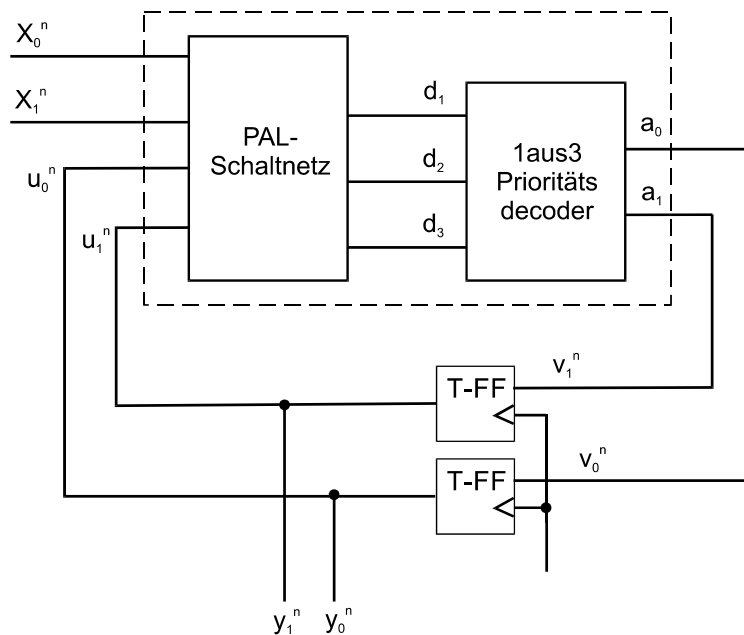
- d) Geben Sie die Registerkontroll-, die Ausgangs- und die Zustandsgleichungen in minimierter Form an.
- e) Beschriften Sie das gegebene Schaltwerk mit den erforderlichen Variablennamen und tragen Sie die für die Realisierung dieses Schaltwerkes erforderlichen Verbindungen in das angegebene PLA ein. Warum bietet es sich hier an, ein PLA zu verwenden ?



- f) Um was für einen Automatentyp handelt es sich (Mealy/Moore, autonom/nicht autonom, synchron/nicht synchron) ?

Aufgabe 4.28 (Klausur H97)

Gegeben ist folgendes Schaltwerk bestehend aus Toggle-FlipFlops, einem 1aus3-Prioritätsdecoder (siehe Wahrheitstabelle) und einem PAL-Schaltnetz:



d_3	d_2	d_1	a_1	a_0
0	0	0	0	0
0	0	1	0	1
0	1	X	1	0
1	X	X	1	1

Es soll einen Modulo4-Zähler realisieren, der abhängig von der Schaltvariablen x_0 vorwärts ($x_0=0$) oder rückwärts ($x_0=1$) zählt. Die Schaltvariable $x_1=1$ hält den Zähler an.

Der Ausgangsvektor $y^n = (y_1^n, y_0^n)$ soll jeweils den aktuellen Zustand angeben.

Es gilt folgende Vereinbarung: Index "0" = LSB

Index "1" = MSB

Das vorgeschaltete Schaltnetz soll mit Hilfe eines PALs realisiert werden.

- Zeichnen Sie den Zustandsgraphen.
- Füllen Sie die angegebene Zustandstabelle aus.
- Geben Sie die zugehörigen Registerkontroll- die Ausgangs- und die Übergangsgleichungen in minimierter Form an (KV-Diagramme vorgegeben).
- Geben Sie die booleschen Gleichungen für das PAL-Schaltnetz in minimierter Form an. *Hilfe: Wählen Sie die Don't-Care-Plätze im Eingang des Prioritätsdecoders so, daß eine möglichst einfache Realisierung für das PAL entsteht!*
- Um was für einen Automatentyp handelt es sich (Mealy/Moore, autonom/nicht autonom, synchron/nicht synchron) ?

Zustandstabelle für Teil b)

x_1^n	x_0^n	u_1^n	u_0^n	u_1^{n+1}	u_0^{n+1}	v_1^n	v_0^n	y_1^n	y_0^n
0	0	0	0						
0	0	0	1						
0	0	1	0						
0	0	1	1						
0	1	0	0						
0	1	0	1						
0	1	1	0						
0	1	1	1						
1	0	0	0						
1	0	0	1						
1	0	1	0						
1	0	1	1						
1	1	0	0						
1	1	0	1						
1	1	1	0						
1	1	1	1						

Aufgabe 4.29(Klausur F98)

Entwerfen Sie ein Schaltwerk für eine Ampelschaltung. Hierbei soll abhängig von der Eingangsvariablen x^n die Ampel auf Rot ($x^n = 1$) oder auf Grün ($x^n = 0$) über die gelbe Zwischenphase schalten.

Beim Wechsel von Grün auf Rot leuchtet dabei das gelbe Licht allein, beim Wechsel von Rot auf Grün leuchten das rote und das gelbe Licht gleichzeitig.

Ändert sich der Zustand von x^n während eines Wechsels, so wird der Wechsel trotzdem vollständig vollzogen.

Die Zustände des Schaltwerks seien durch die 3 Variable u_2^n , u_1^n , u_0^n beschrieben, wobei nicht alle Zustände benötigt werden.

Die Ausgangsvariablen y_2^n , y_1^n , y_0^n repräsentieren dabei die Lichter:

rotes Licht leuchtet: $y_0^n = u_0^n = 1$

gelbes Licht leuchtet: $y_1^n = u_1^n = 1$

grünes Licht leuchtet: $y_2^n = u_2^n = 1$

Nicht auftretende Zustände sollen durch don't care-Plätze belegt werden.

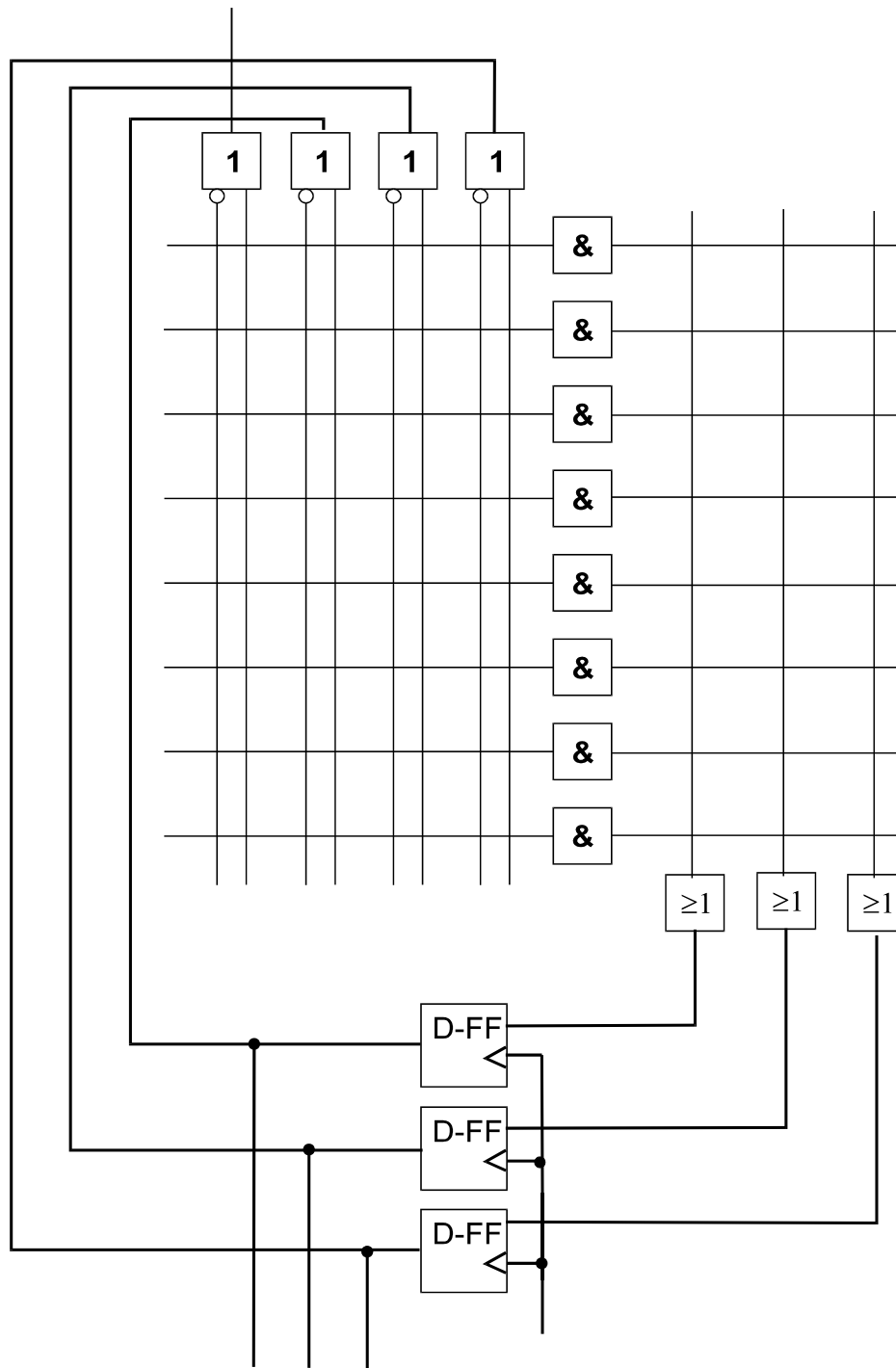
Das Schaltwerk soll mit Hilfe eines **PALs** für das Schaltnetz und **D-Flip Flops** als Zustandsspeichern realisiert werden.

- Zeichnen Sie den Zustandsgraphen.
- Füllen Sie die angegebene Zustandstabelle aus.
- Geben Sie die zugehörigen Registerkontroll- und Übergangsgleichungen in minimierter Form an (KV-Diagramme sind vorgegeben).
- Beschriften Sie das gegebene Schaltwerk mit den erforderlichen Variablennamen und tragen Sie die für die Realisierung dieses Schaltwerkes erforderlichen Verbindungen in das angegebene PAL ein.
Um was für einen Automatentyp handelt es sich (Mealy/Moore, autonom/nicht autonom, synchron/nicht synchron) ?
- Welche prinzipiellen schaltungstechnischen Maßnahmen sind erforderlich, um die Anzahl der Zustandsspeicher zu reduzieren?

Zustandstabelle für Aufgabenteil b):

x^n	u_2^n	u_1^n	u_0^n	u_2^{n+1}	u_1^{n+1}	u_0^{n+1}	v_2^n	v_1^n	v_0^n
0	0	0	0						
0	0	0	1						
0	0	1	0						
0	0	1	1						
0	1	0	0						
0	1	0	1						
0	1	1	0						
0	1	1	1						
1	0	0	0						
1	0	0	1						
1	0	1	0						
1	0	1	1						
1	1	0	0						
1	1	0	1						
1	1	1	0						
1	1	1	1						

Schaltwerk für Aufgabenteil d):



Aufgabe 4.30 (Klausur H98)

Entwerfen Sie ein Schaltwerk zur Steuerung eines einfachen zweigeschossigen Aufzugs. Gesteuert wird der Aufzug durch die Anforderungssignale (x_0 , x_1), die unabhängig vom Schaltwerk sofort in FlipFlops gespeichert und als Eingangssignale dem Schaltwerk zugeführt werden. Wird die Position eines Geschosses erreicht, wird die entsprechende Tür geöffnet. Als Zustand wird die Position des Aufzugs in dem jeweiligen Geschöß betrachtet. Es gelten folgende Vereinbarungen.

	Anforderungssignal	Aufzugposition (Zustand) Q
Erdgeschoß	$x_0=1$	0
1. Geschoß	$x_1=1$	1

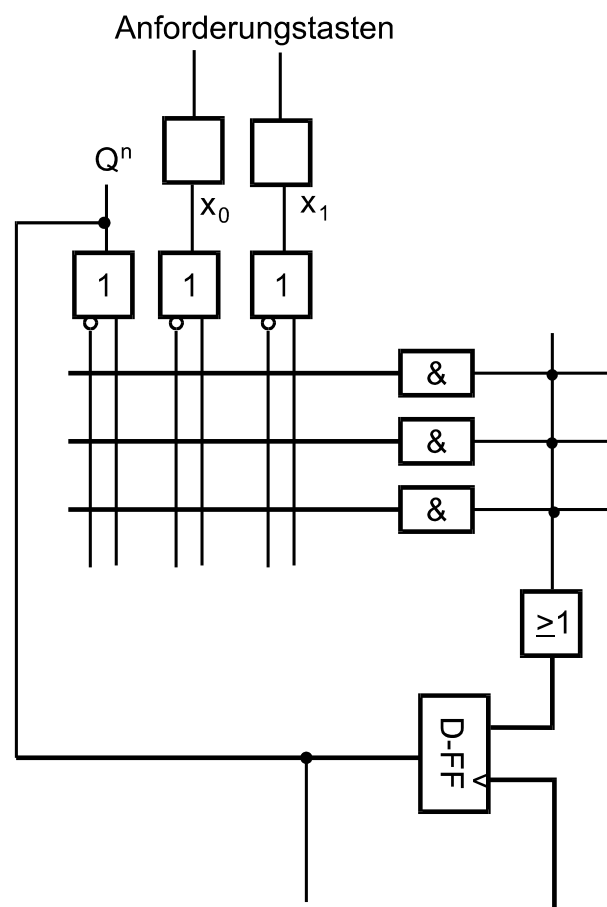
Die Anforderung des Geschosses, wo der Aufzug sich befindet, hat immer die höchste Priorität (Befindet sich beispielsweise der Aufzug im Erdgeschoß, aber betragen x_0 und x_1 gleichzeitig "1", wird x_0 zunächst beantwortet).

- Handelt es sich um einen Mealy- oder Moore-Automaten ?
- Zeichnen Sie den Zustandsgraphen.
- Füllen Sie die angegebene Zustandstabelle aus.
- Geben Sie die zugehörigen Übergangsgleichung in minimierter Form an
- Realisieren Sie die Übergangsgleichungen mithilfe des vorgegebenen PALs.

Zustandstabelle für Aufgabe c):

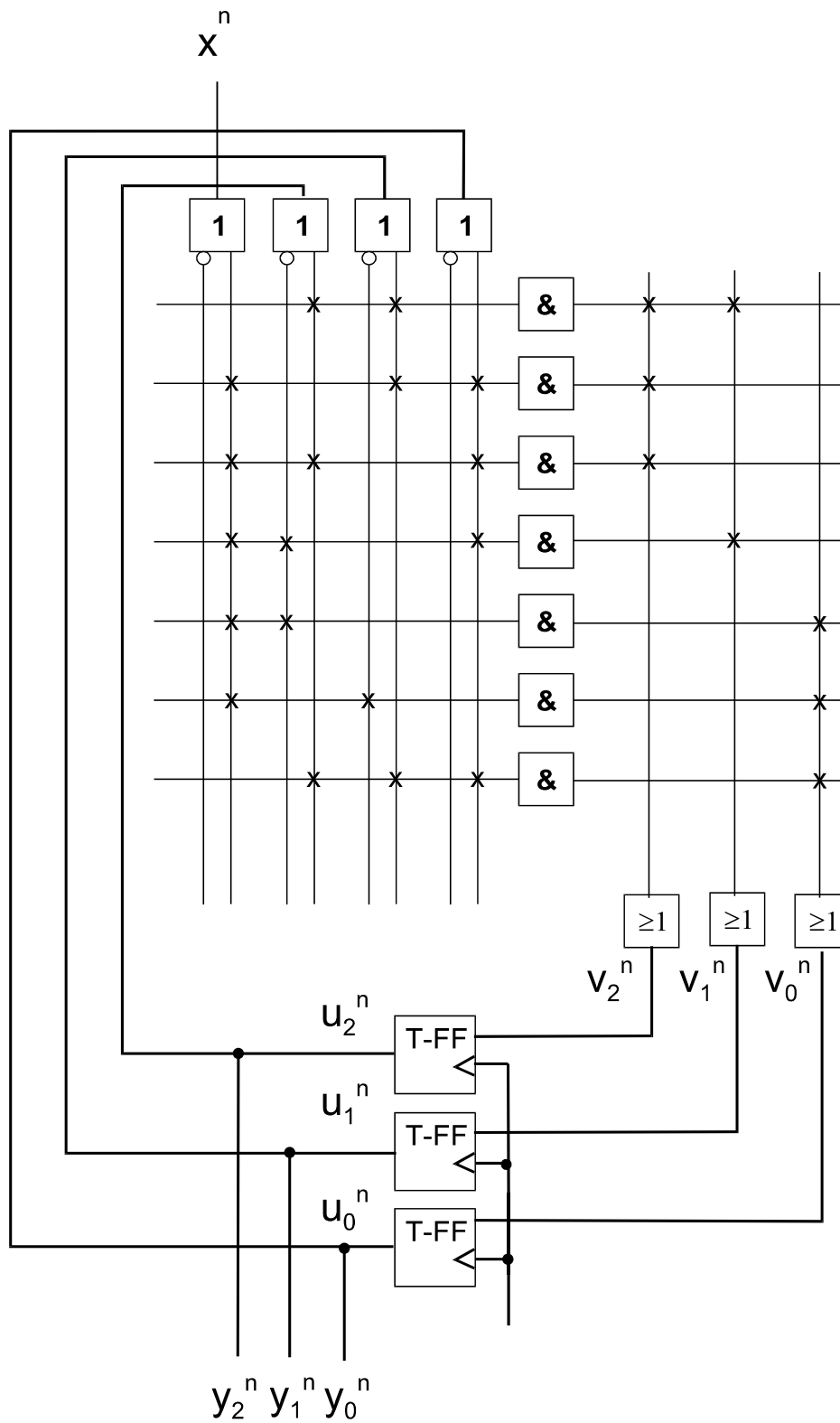
x_1	x_0	Q^n	Dezimal e	Q^{n+1}
0	0	0	0	
0	1	0	2	
1	0	0	4	
1	1	0	6	
0	0	1	1	
0	1	1	3	
1	0	1	5	
1	1	1	7	

PAL für Aufgabe e):



Aufgabe 4.31(KlausurF99)

Folgendes Schaltwerk mit **Toggle-FlipFlops** soll analysiert werden:



- Geben Sie die zugehörigen Registerkontrollgleichungen an.
- Vervollständigen Sie die angegebene Zustandstabelle.
- Zeichnen Sie den Zustandsgraphen.
- Welche Funktion realisiert dieses Schaltwerk? Wozu dient x^n ?
- Um was für einen Automatentyp handelt es sich (Mealy/Moore, autonom/nicht autonom, synchron/nicht synchron) ?

Zustandstabelle für Teil b)

x^n	u_2^n	u_1^n	u_0^n	u_2^{n+1}	u_1^{n+1}	u_0^{n+1}	v_2^n	v_1^n	v_0^n
0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	1	0	0	0
0	0	1	0	0	1	0	0	0	0
0	0	1	1	0	1	1	0	0	0
0	1	0	0						
0	1	0	1						
0	1	1	0						
0	1	1	1						
1	0	0	0						
1	0	0	1						
1	0	1	0						
1	0	1	1						
1	1	0	0	1	0	1	0	0	1
1	1	0	1	0	0	0	1	0	1
1	1	1	0	0	0	0	1	1	0
1	1	1	1	0	0	0	1	1	1

Aufgabe 4.32 (Klausur H99)

Eine Schaltung nach Abb. 1 mit der Funktionalität der Ansteuerung eines Schreib-/Lese-Speicherbausteines steht zur Verfügung. Die Schaltung soll analysiert werden.

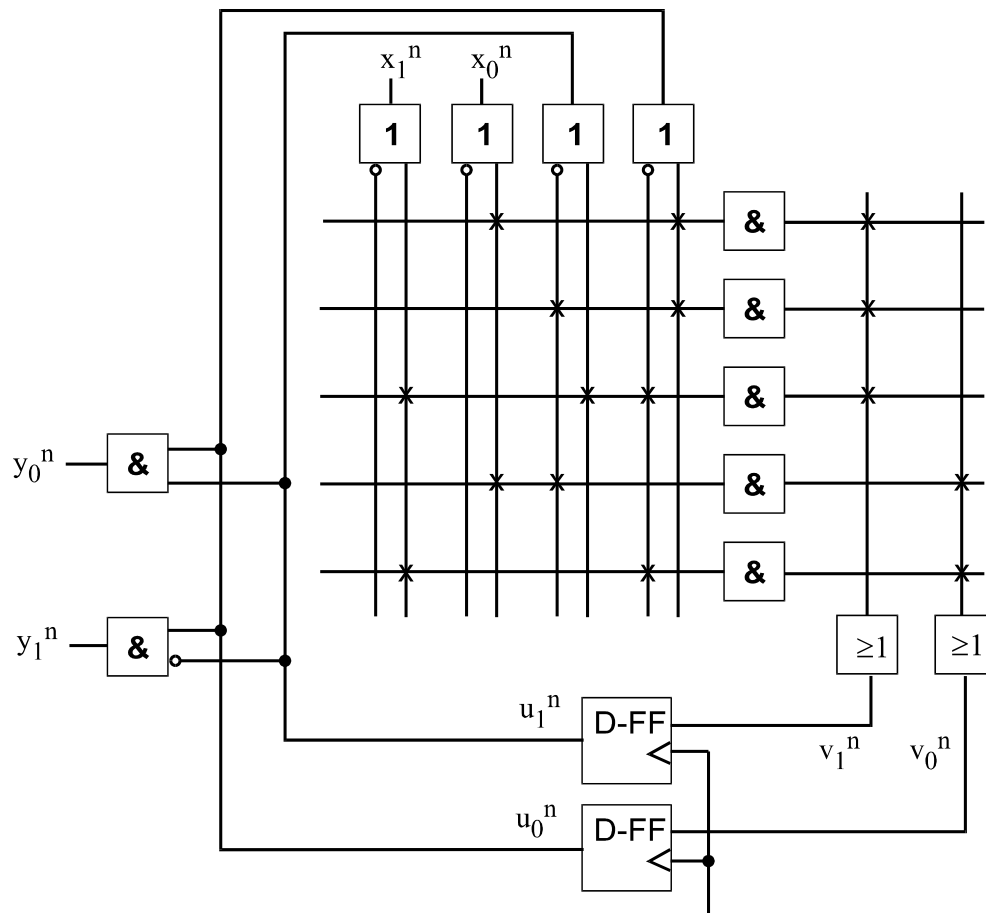


Abb. 1: Schaltung zur Speichersteuerung

a) Um welche Art von Automat handelt es sich?

Mealy oder Moore:

autonom oder nicht autonom:

synchron oder asynchron:

b) Bestimmen Sie die Registerkontrollgleichungen der Steuereinheit.

$$v_1^n =$$

$$v_0^n =$$

- c) Ergänzen Sie die Zustandstabelle. (Anmerkung: nicht mögliche Übergänge sind mit einem Strich markiert.)

x_1^n	x_0^n	u_1^n	u_0^n	v_1^n	v_0^n	y_1^n	y_0^n
0	0	0	0				
0	0	0	1				
0	0	1	0				
0	0	1	1				
0	1	0	0				
0	1	0	1				
0	1	1	0				
0	1	1	1				
1	0	0	0				
1	0	0	1				
1	0	1	0				
1	0	1	1				
1	1	0	0	/	/		
1	1	0	1	/	/		
1	1	1	0	/	/		
1	1	1	1	/	/		

- d) Zeichnen Sie den Zustandsgraphen.

Von der Schaltung ist bekannt, daß sie einen Speicherbaustein in Zyklen von vier aufeinanderfolgenden Phasen ansteuert:

1. inaktive Phase (IP), wartend auf den Start eines Zugriffs
2. Adressierungsphase (AP)
3. Datenphase (DP) bei Schreibzugriff / Vorbereitungsphase (VP) bei Lesezugriff
4. Nachbereitungsphase (NP) bei Schreibzugriff / Datenphase (DP) bei Lesezugriff

Die Steuereinheit weist einen Eingang R zum Starten eines Lesezugriffes sowie einen Eingang W zum Starten eines Schreibzugriffes auf, wobei R und W niemals gleichzeitig aktiv sind. R und W werden, falls überhaupt, nur in der letzten Phase eines Zyklus inaktiv. Die Steuereinheit weist des weiteren einen Ausgang A zum Anzeigen der Adressierungsphase sowie einen Ausgang D zum Anzeigen der Datenphase auf.

Die Schaltung nach Abb. 1 erfüllt diese Funktionalität, jedoch ist zunächst nicht bekannt, welcher der Eingänge x_0 bzw. x_1 für die Signale R bzw. W steht, und welcher der Ausgänge y_0 bzw. y_1 für die Signale A bzw. D steht.

- e) Welchen Phasen IP, AP, DP, VP bzw. NP entsprechen nach dem Zustandsgraphen den Kodierungen $(u_1, u_0) = (0, 0)$ und $(u_1, u_0) = (0, 1)$ der Zustände? Welche Zuordnung von A und D folgt daraus für die Schaltungsausgänge y_0 und y_1 ?

$$(u_1, u_0) = (0, 0) :$$

$$(u_1, u_0) = (0, 1) :$$

$$y_1 =$$

$$y_0 =$$

- f) Ordnen Sie den Kodierungen $(u_1, u_0) = (1, 0)$ und $(u_1, u_0) = (1, 1)$ der Zustände die restlichen Phasen von IP, AP, DP, VP und NP zu. Welche Zuordnung von R und W folgt daraus für die Schaltungseingänge x_0 und x_1 ?

$$(u_1, u_0) = (1, 0) :$$

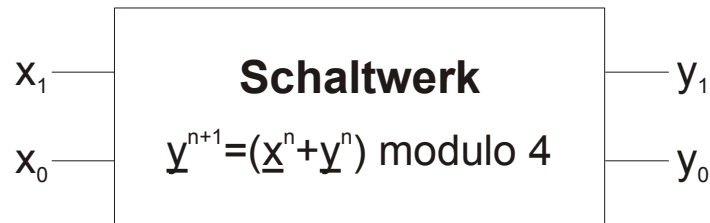
$$(u_1, u_0) = (1, 1) :$$

$$x_1 =$$

$$x_0 =$$

Aufgabe 4.33 (Klausur F00)

Es soll ein Schaltwerk entworfen werden, das die Funktionalität eines modulo 4 Akkumulators besitzt. Die Funktionsweise wird anhand des folgenden Blockschaltbildes noch einmal verdeutlicht.



Das Schaltwerk soll mit Hilfe eines PALs für das Schaltnetz und D-Flip-Flops als ZustandsRegistern realisiert werden (siehe Abbildung 1).

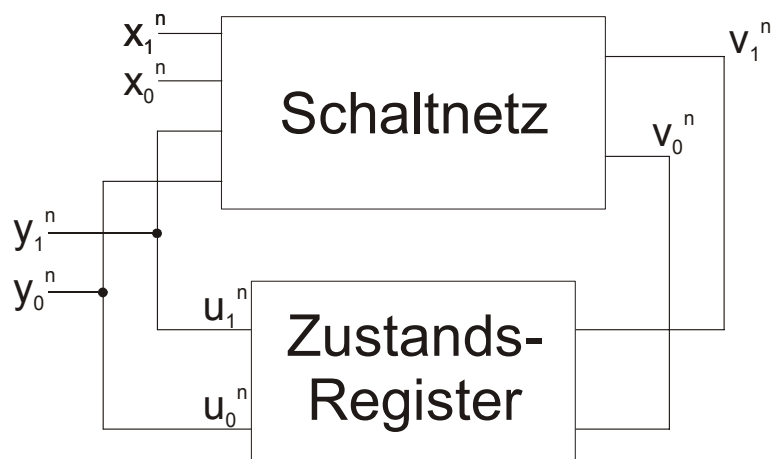


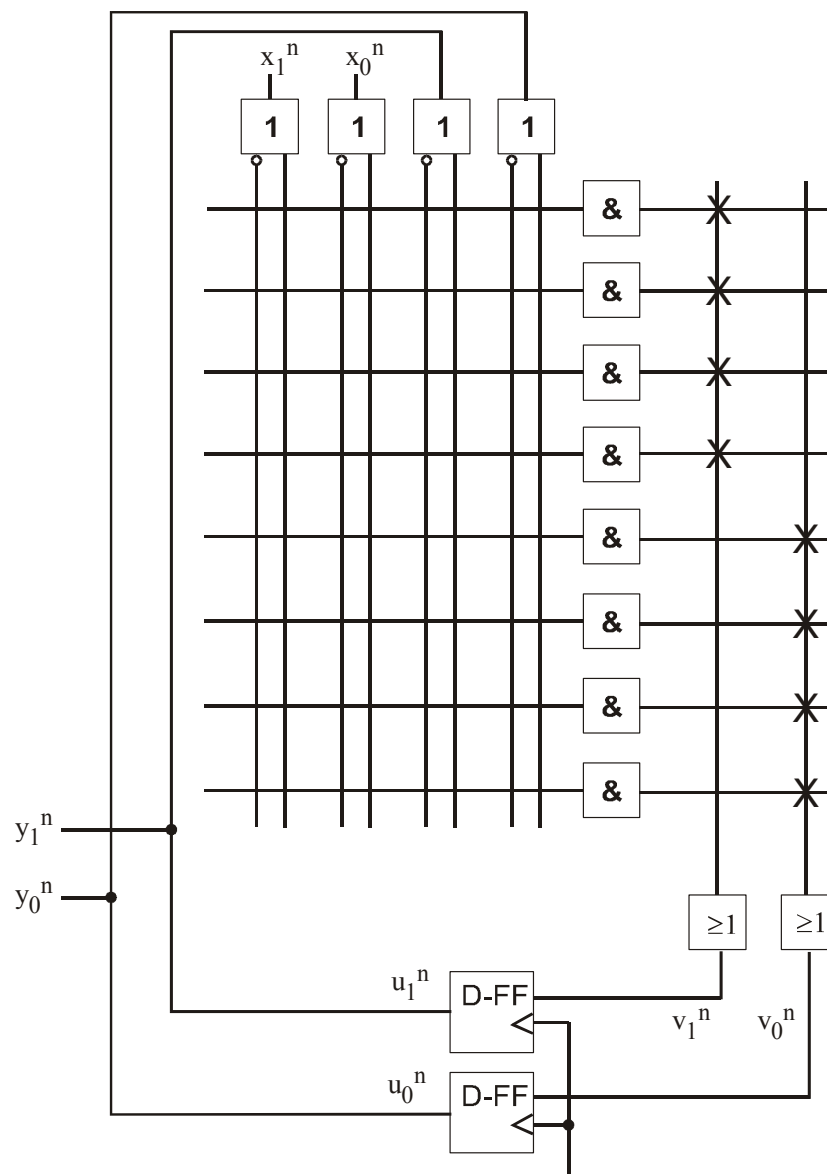
Abb. 1: Schaltwerk zur modulo 4 Akkumulation

- a) Zeichnen Sie den Zustandsgraphen.

b) Füllen Sie die Zustandstabelle aus.

	x_1^n	x_0^n	u_1^n	u_0^n	v_1^n	v_0^n	y_1^{n+1}	y_0^{n+1}
0	0	0	0	0				
1	0	0	0	1				
2	0	0	1	0				
3	0	0	1	1				
4	0	1	0	0				
5	0	1	0	1				
6	0	1	1	0				
7	0	1	1	1				
8	1	0	0	0				
9	1	0	0	1				
10	1	0	1	0				
11	1	0	1	1				
12	1	1	0	0				
13	1	1	0	1				
14	1	1	1	0				
15	1	1	1	1				

- c) Geben Sie die zugehörigen Registerkontrol, Übergangs-, und Ausgangsgleichungen in minimierter Form an.
- d) Tragen Sie die zur Realisierung des Schaltwerks erforderlichen Verbindungen in das auf der nächsten Seite dargestellte PAL ein.



Schaltwerk für Aufgabenteil d)

e) Um welche Art von Automat handelt es sich?

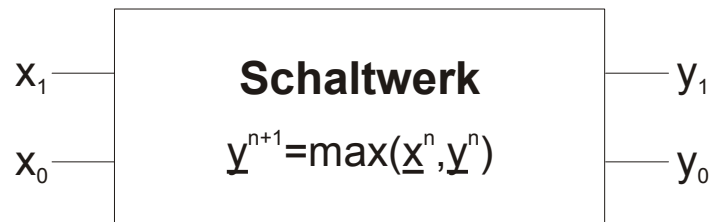
Mealy oder Moore:

autonom oder nicht autonom:

synchron oder asynchron:

Aufgabe 4.34(Klausur H00)

Es soll ein Schaltwerk entworfen werden, das das bisherige Maximum einer eingehenden Wertefolge bestimmt. Am Eingang des Schaltwerks liegt die rein positive Zahl x (x_1 =MSB) an. Am Ausgang des Schaltwerks soll nach jedem Takt die bisher größte am Eingang aufgetretene Zahl anliegen. Bei der Initialisierung wird als bisher größte Zahl eine 0 angenommen ($y^0=00$).



Das Schaltwerk soll mit Hilfe eines PALs für das Schaltnetz und Toggle-Flip-Flops als Zustandsregister realisiert werden (siehe Abbildung 1 bzw. Abbildung 2).

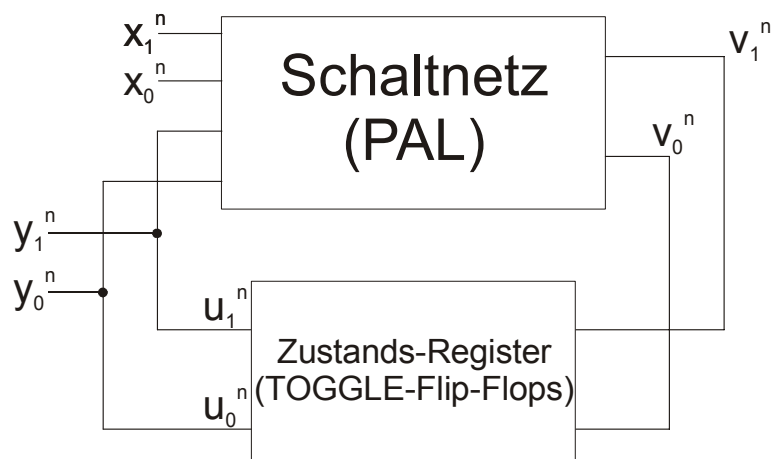


Abb. 1: Schaltwerk zur Maximumsbestimmung

- a) Tragen Sie die Übergangspfeile in den Zustandsgraphen ein (beachten Sie die angegebene Legende).

b) Füllen Sie die Zustandstabelle aus.

	x_1^n	x_0^n	u_1^n	u_0^n	v_1^n	v_0^n	y_1^{n+1}	y_0^{n+1}
0	0	0	0	0				
1	0	0	0	1				
2	0	0	1	0				
3	0	0	1	1				
4	0	1	0	0				
5	0	1	0	1				
6	0	1	1	0				
7	0	1	1	1				
8	1	0	0	0				
9	1	0	0	1				
10	1	0	1	0				
11	1	0	1	1				
12	1	1	0	0				
13	1	1	0	1				
14	1	1	1	0				
15	1	1	1	1				

- c) Geben Sie die zugehörigen Registerkontroll-, Übergangs-, und Ausgangsfunktionen in minimierter Form an
- d) Tragen Sie die zur Realisierung des Schaltwerks erforderlichen Verbindungen in das auf der nächsten Seite dargestellte PAL ein.

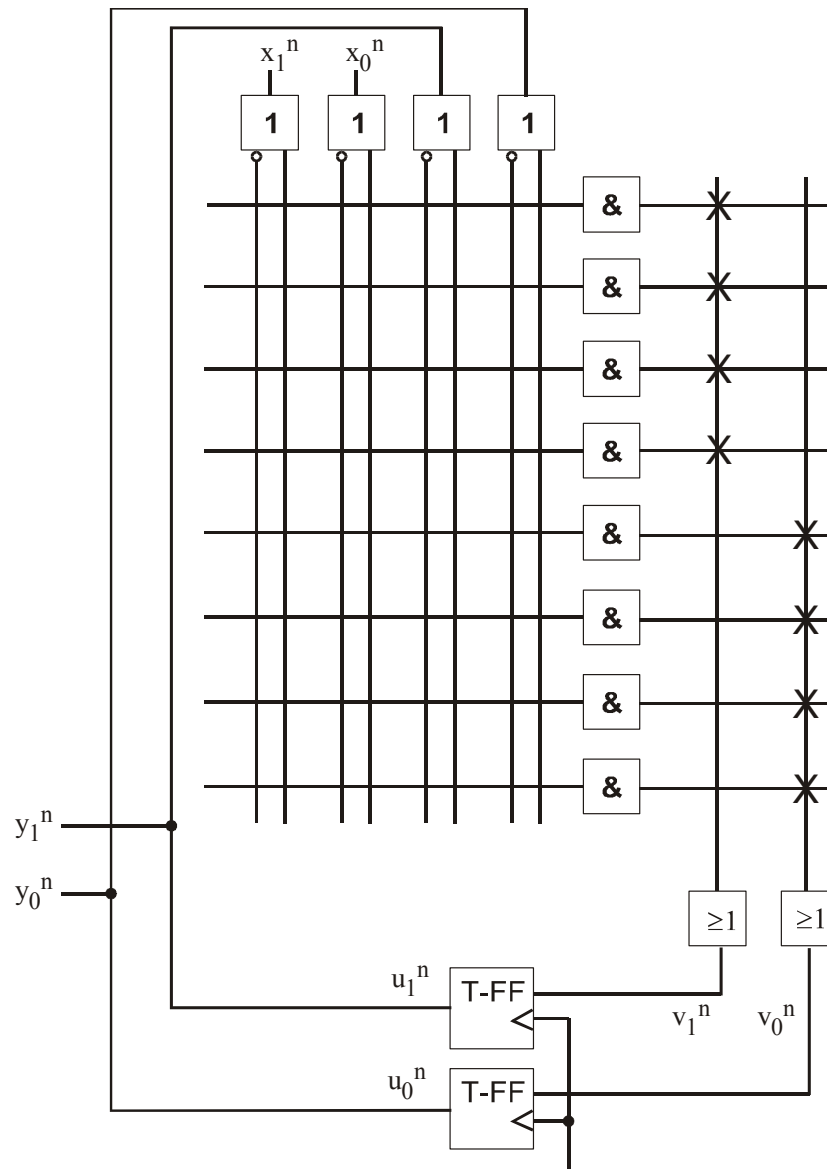


Abb. 2: Schaltwerk für Aufgabenteil d)

e) Um welche Art von Automat handelt es sich?

Mealy oder Moore:

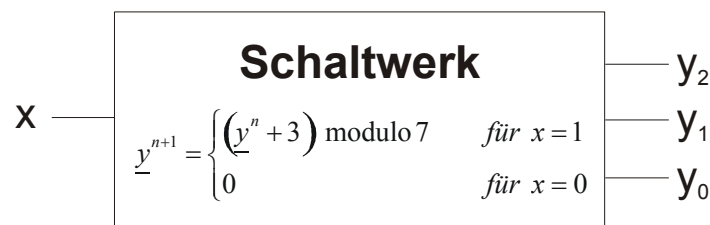
autonom oder nicht autonom:

synchron oder asynchron:

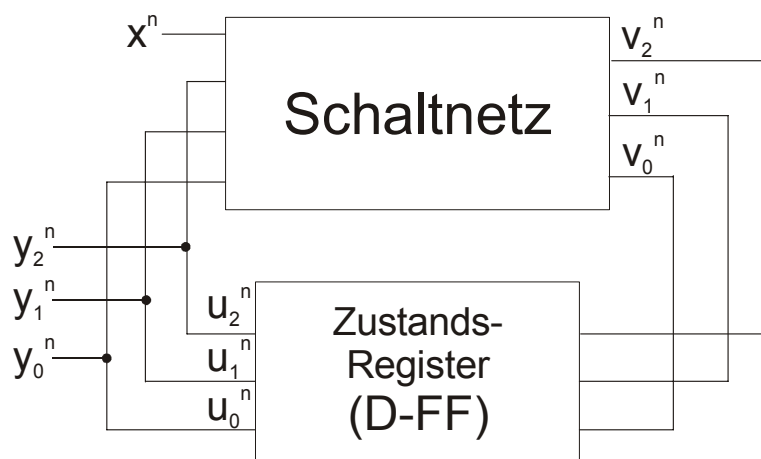
Aufgabe 4.35(KlausurF01)

Für verschiedene Anwendungen ist die Verwürfelung der Daten zweckmäßig, um den Einfluss von Fehlern (z.B. bei der Übertragung, Speicherung) zu minimieren. Dieses kann dadurch realisiert werden, dass die Daten aus einem Speicher nicht in der ursprünglichen Reihenfolge, sondern in vertauschter Folge ausgelesen werden. Um die Vertauschung zu realisieren, soll ein Schaltwerk als Speicheradressengenerator verwendet werden.

Falls der Steuereingang den Wert 0 besitzt ($x = 0$), soll das Schaltwerk im nächsten Takt den Ausgangswert $y = 0$ annehmen (Initialisierung). Für den Fall, dass der Steuereingang den Wert 1 besitzt ($x = 1$), soll die Funktion $\underline{y}^{n+1} = (\underline{y}^n + 3) \bmod 7$ realisiert werden. Der Ausgangswert $y = y_2 y_1 y_0$ ist vorzeichenlos (y_2 ist das MSB).



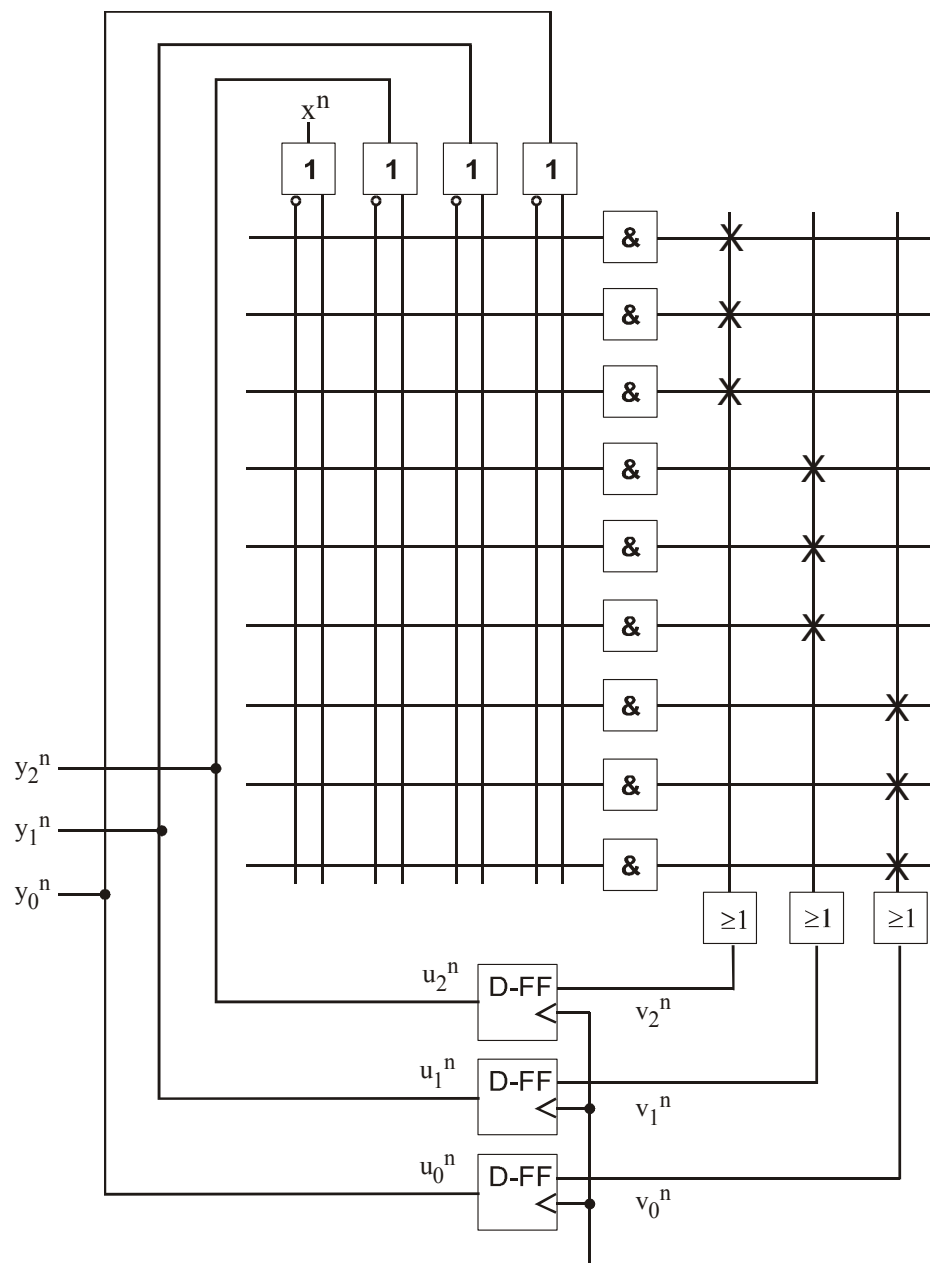
Das Schaltwerk soll mit Hilfe eines PALs für das Schaltnetz und D-Flip-Flops als Zustandsregistern realisiert werden (siehe Abbildung 1).



- a) Zeichnen Sie den Zustandsgraphen
 b) Füllen Sie die Zustandstabelle aus.

	x^n	u_2^n	u_1^n	u_0^n	y^n dezimal	y^{n+1} dezimal	v_2^n	v_1^n	v_0^n	y_2^{n+1}	y_1^{n+1}	y_0^{n+1}
0	0	0	0	0								
1	0	0	0	1								
2	0	0	1	0								
3	0	0	1	1								
4	0	1	0	0								
5	0	1	0	1								
6	0	1	1	0								
7	0	1	1	1								
8	1	0	0	0								
9	1	0	0	1								
10	1	0	1	0								
11	1	0	1	1								
12	1	1	0	0								
13	1	1	0	1								
14	1	1	1	0								
15	1	1	1	1								

- c) Geben Sie die zugehörigen Registerkontroll-, Übergangs- und Ausgangsgleichungen in minimierter Form an.
 d) Tragen Sie die zur Realisierung des Schaltwerks erforderlichen Verbindungen in das unten dargestellte PAL ein.



Schaltwerk für Aufgabenteil d)

e) Um welche Art von Automat handelt es sich?

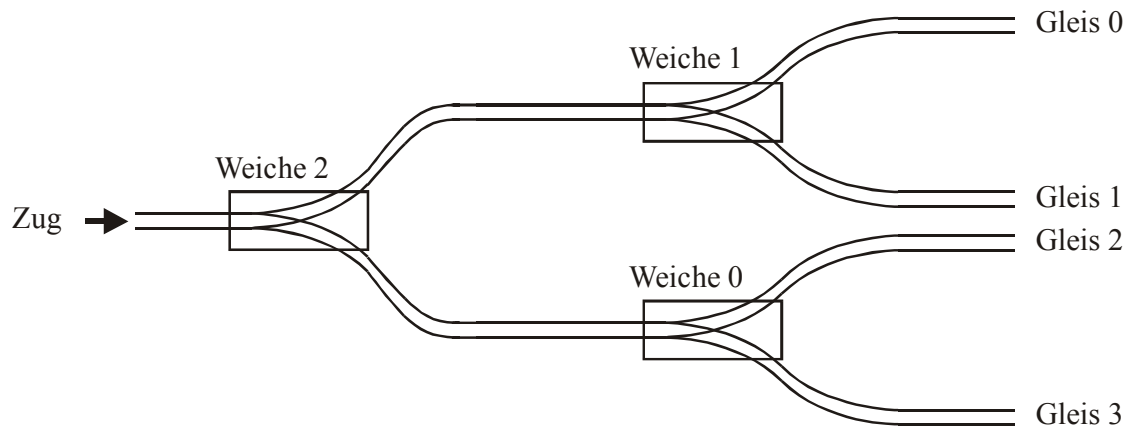
Mealy oder Moore:

autonom oder nicht autonom:

synchron oder asynchron:

Aufgabe 4.36(KlausurH01)

Es soll ein Schaltwerk zur Steuerung der Weichen in einem Verschiebebahnhof entworfen werden:



Die drei Weichen sollen jeweils so gestellt werden, dass die ankommenden Züge zyklisch auf die Gleise 0 bis 3 verteilt werden:

Gleis 0 → Gleis 1 → Gleis 2 → Gleis 3 → Gleis 0 → Gleis 1 → Gleis 2 → ...

Der aktuelle Stellzustand des Verschiebebahnhofes wird durch die Zustandsvektor $\underline{u} = u_1 u_0$ angezeigt:

$\underline{u} = 00 \Rightarrow$ Auf Gleis 0 gestellt

$\underline{u} = 01 \Rightarrow$ Auf Gleis 1 gestellt

$\underline{u} = 10 \Rightarrow$ Auf Gleis 2 gestellt

$\underline{u} = 11 \Rightarrow$ Auf Gleis 3 gestellt

Der Stellzustand der einzelnen Weichen 0 bis 2 wird durch den 3-Bit-Ausgangsvektor $\underline{y} = y_2 y_1 y_0$ angezeigt, wobei für y_i gilt:

$y_i = 0 \Rightarrow$ Weiche Nr. i in Fahrtrichtung links gestellt

$y_i = 1 \Rightarrow$ Weiche Nr. i in Fahrtrichtung rechts gestellt

Die Gleiszuweisung soll nur dann umgeschaltet werden, wenn ein neuer Zug einfährt. Dies wird mit der Eingangsvariablen x angezeigt:

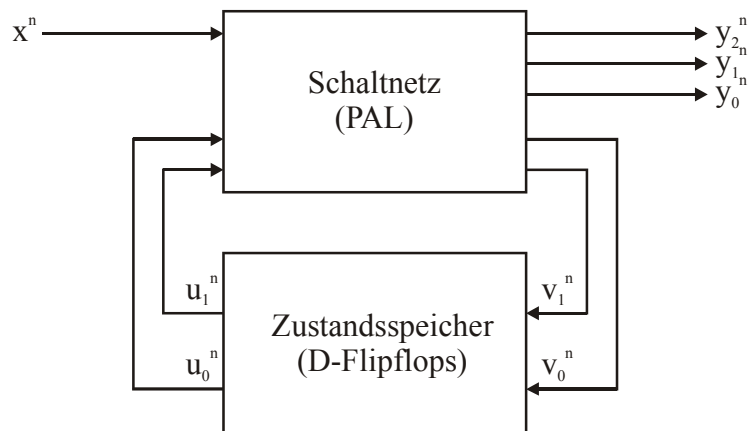
$x = 0 \Rightarrow$ Kein neuer Zug fährt ein

$x = 1 \Rightarrow$ Neuer Zug fährt ein

Der Stellzustand der für eine bestimmte Gleiszuweisung jeweils nicht benötigten Weiche soll hier als beliebig angenommen werden.

Im Startzustand ist das Stellwerk auf Gleis 0 geschaltet. Der erste ankommende Zug soll dann auf Gleis 1 einfahren. Wenn weitere Züge einfahren, wird der oben beschriebene Zyklus durchlaufen.

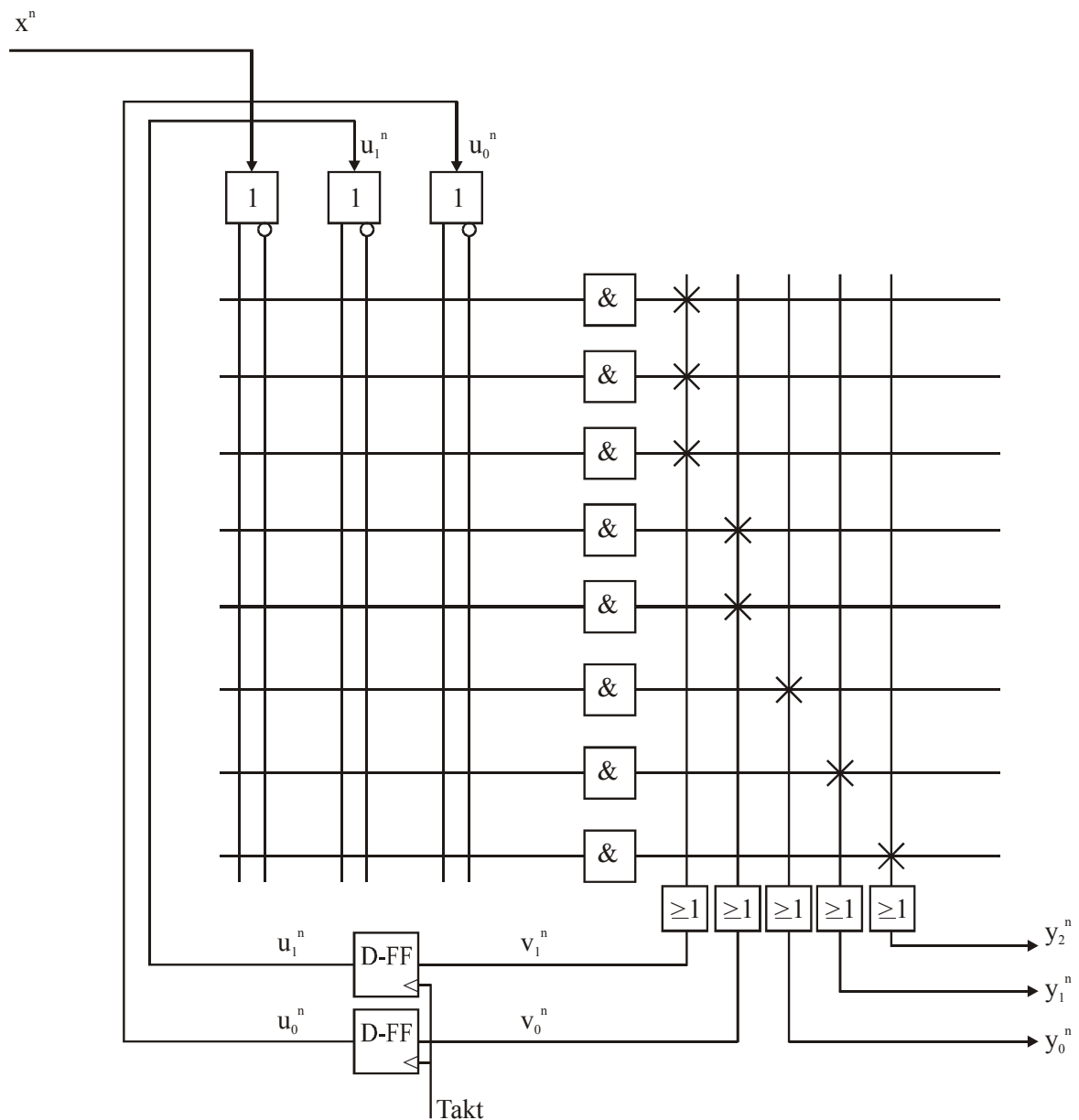
Das Schaltwerk, welches die Steuerung der Weichen übernimmt, soll mit Hilfe eines PALs für das Schaltnetz und D-Flipflops als Zustandsspeicher realisiert werden:



- Zeichnen Sie den Zustandsgraphen. Hinweis: Achten Sie auf mögliche don't-care-Belegungen für die Ausgangsvariable $\underline{y}$.
- Füllen Sie die Zustandstabelle aus:

	x^n	u_1^n	u_0^n	y_2^n	y_1^n	y_0^n	v_1^n	v_0^n	u_1^{n+1}	u_0^{n+1}
0	0	0	0							
1	0	0	1							
2	0	1	0							
3	0	1	1							
4	1	0	0							
5	1	0	1							
6	1	1	0							
7	1	1	1							

- Geben Sie die zugehörigen Registerkontroll-, Übergangs- und Ausgangsgleichungen in minimierter Form an.
- Tragen Sie die zur Realisierung des Schaltwerkes notwendigen Verbindungen in das unten dargestellte PAL ein:



e) Um welche Art von Automat handelt es sich?

- 1) Mealy oder Moore?
- 2) Autonom oder nicht autonom?
- 3) Synchron oder asynchron?

Aufgabe 4.37(KlausurF02)

Für einen Tresor soll ein digitales Zahlenschloss entworfen werden, welches mit einem Schaltwerk realisiert werden soll.



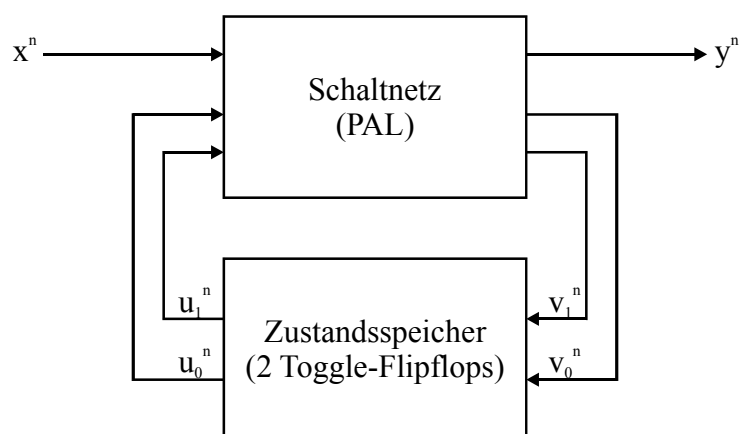
Das Schaltwerk besitzt einen Eingang x und einen Ausgang y . Das Schloss soll öffnen, sobald die Eingangsbitfolge '10' eingegeben wurde, also am Eingang zunächst eine '1', und im darauf folgenden Takt eine '0' empfangen wurde. Das Öffnen des Schlosses wird durch den Ausgangswert $y = 1$ angezeigt.

Das Schaltwerk besitzt vier Zustände. Der aktuelle Zustand wird durch den Zustandsvektor $\underline{u} = u_1 u_0$ angezeigt. Der Zustandsvektor $\underline{u}$ speichert die letzten beiden eingegebenen Bits, wobei u_0 dem letzten, und u_1 dem vorletzten eingegebenen Bit entspricht. Demzufolge soll im Zustand $\underline{u} = '10'$ das Schloss geöffnet ($y = 1$), in allen anderen Zuständen geschlossen sein ($y = 0$).

Startzustand ist der Zustand $\underline{u} = '00'$, hier wird also angenommen, dass zwei aufeinanderfolgende Nullen eingegeben wurden.

Wurde der Zustand $\underline{u} = '10'$ erreicht, soll das Schaltwerk im nächsten Takt unabhängig vom Eingangsbit x wieder den Startzustand annehmen.

Das Schaltwerk soll mit Hilfe eines PALs für das Schaltnetz und Toggle-Flipflops (T-FF) als Zustandsspeicher realisiert werden:

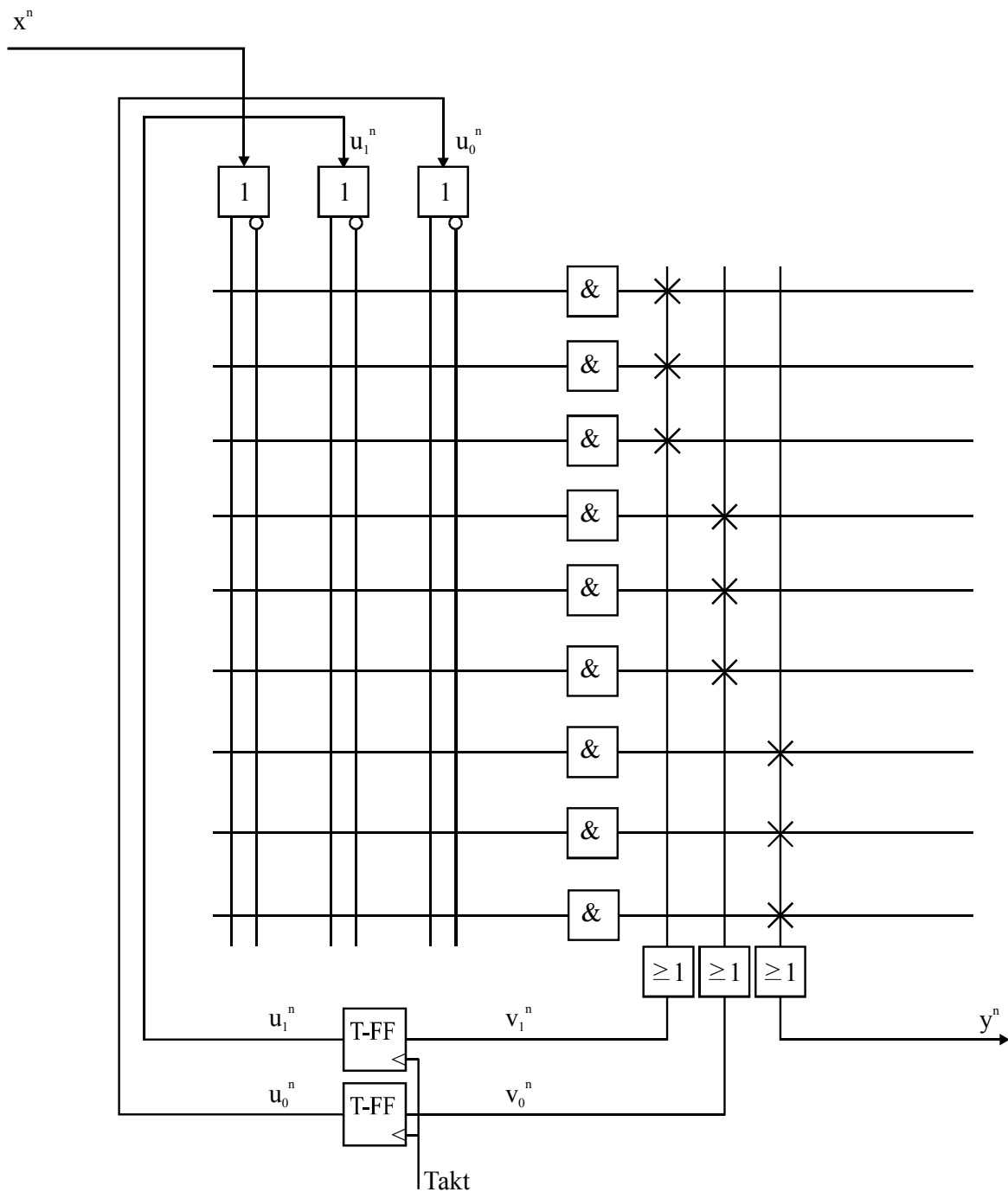


- a) Zeichnen Sie den Zustandsgraphen.
 b) Füllen Sie die Zustandstabelle aus:

	x^n	u_1^n	u_0^n	y^n	v_1^n	v_0^n	u_1^{n+1}	u_0^{n+1}
0	0	0	0					
1	0	0	1					
2	0	1	0					
3	0	1	1					
4	1	0	0					
5	1	0	1					
6	1	1	0					
7	1	1	1					

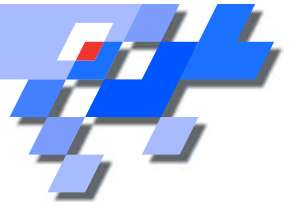
- c) Geben Sie die zugehörigen Registerkontroll- und Übergangsgleichungen, sowie die Ausgangsgleichung in minimierter Form an.

- d) Tragen Sie die zur Realisierung des Schaltwerks erforderlichen Verbindungen in das unten dargestellte PAL ein.



- e) Um welche Art von Automat handelt es sich?

- Mealy oder Moore
- autonom oder nicht autonom
- synchron oder asynchron



Übungsaufgaben zur Vorlesung

Grundlagen der Informationsverarbeitung II

Sommersemester 2004

Aufgaben zu Kapitel 5 Speicherstrukturen und logische Felder

Betreuer:

Prof. Dr.-Ing. H. Schröder

Raum: P1-04-211

Tel.: 755-3190

Email: hartmut.schroeder@uni-dortmund.de

Dipl.-Ing. H. Lange

Raum: P1-04-210

Tel.: 755-2028

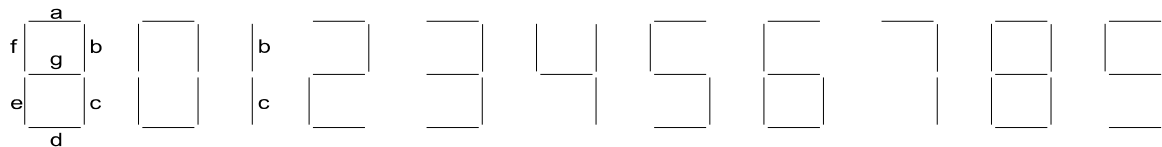
Email: hendrik.lange@uni-dortmund.de

Aktuelle Informationen zur Vorlesung gibt es unter:

http://www-kt.e-technik.uni-dortmund.de/m_siv/giv/giv_main.html

Aufgabe 5.1

Ein Anzeige-Dekodierer setzt einen BCD-Wert in das zugehörige Sieben-Segment-Ziffernbild um. Das Sieben-Segment-Ziffernbild für die dezimalen Ziffern ist im Folgenden Bild dargestellt:



- Stellen Sie die Wahrheitstabelle für einen Sieben-Segment-Dekodierer auf.
- Geben Sie die logischen Funktionen in disjunktiver Normalform an.
- Zur Realisierung der logischen Funktionen können programmierbare logische Strukturen (z.B. PROM, PAL, PLA) eingesetzt werden. Mit welcher der drei oben genannten logischen Strukturen lässt sich dieser Dekodierer am sinnvollsten durchführen? Realisieren Sie den Dekodierer mit dem gewählten Baustein.

Aufgabe 5.2

Es soll ein synchroner Zähler mit D-Flip Flops realisiert werden. In Abhängigkeit vom äußeren Signal x^n soll das Schaltwerk wie folgt zählen:

$$x^n = 0 : 0 - 1 - 2 - 3 - 0 \quad (\text{Dezimal})$$

$$x^n = 1 : 0 - 2 - 1 - 3 - 0 \quad (\text{Dezimal})$$

- Geben Sie Zustandsgraph und Übergangstabelle an.
- Stellen Sie für die Übergangssignal die disjunktive Normalform auf.
- Realisieren Sie das Schaltwerk mit Hilfe von PROM- bzw. und PAL-Bausteinen.

Aufgabe 5.3 (Klausur F90)

Für vierstellige Dualzahlen (Betrag ohne Vorzeichen)

$$\{a_3, a_2, a_1, a_0\}$$

soll ein „Paritybit“ y zur Fehlerkontrolle erzeugt werden. Das Paritybit ist $y=0$ für ungerade Anzahlen $a_1 = 1$ und $y = 1$ im anderen Falle.

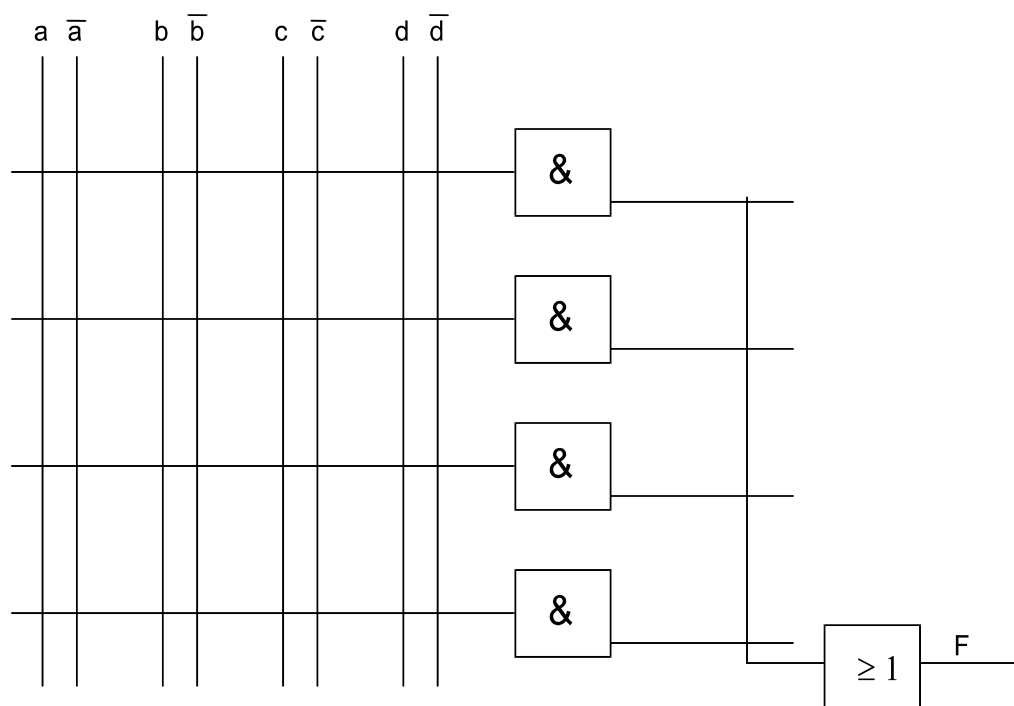
- Geben Sie die Wahrheitstabelle an.
- Ermitteln Sie die disjunktive und konjunktive Normalform (DNF, KNF).
- Bilden Sie die minimale disjunktive Form. Vergleichen Sie mit der DNF.
- Skizzieren Sie ein logisches Feld mit programmierbarer Eingangsmatrix (PAL) und möglichst wenigen Gattern, das geforderte Paritybit erzeugt.

Aufgabe 5.4

Gegeben sei folgende Boolesche Funktion

$$f = \bar{b}\bar{d} \vee \bar{a}b\bar{c} \vee \bar{a}\bar{b}c \vee acd$$

- Entwickeln Sie hierfür ein Schaltnetz aus NAND-Gattern (mit 2 oder mehr Eingängen) und geben Sie den zugehörigen logischen Ausdruck an.
- Gegeben sei eine Schaltungsrealisierung mit einem logischen Feld, bestehend aus einem „UND“-Feld im Eingang und einem „ODER“-Feld für den Ausgang (PLA-Struktur) entsprechend folgender Skizze. Markieren Sie die zu verbindenden Punkte in den beiden Feldern für die oben gegebene Boolesche Funktion.



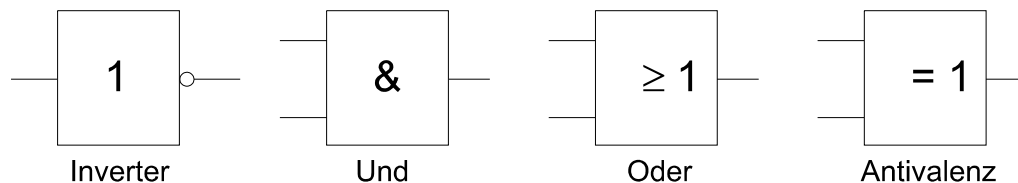
Aufgabe 5.5 (Klausur H90)

Es soll ein einstellbarer „Paritybit“ Generator entwickelt werden, der ein Paritybit ρ zur Fehlerkontrolle für zweistellige Dualzahlen $A = \{a_1, a_0\}$ (Betrag ohne Vorzeichen) erzeugt. In Abhängigkeit von den beiden Einstellsignalen y_1, y_0 soll das Paritybit wie folgt erzeugt werden:

y_1	y_0	ρ
0	0	even Parity
0	1	odd Parity

„Even Parity“ bedeutet, daß die Quersumme des resultierenden Codewortes $\{a_1, a_0, \rho\}$ immer gerade oder Null ist. Bei „odd Parity“ ist die Quersumme immer ungerade.

- Geben Sie die Wahrheitstabelle an.
- Ermitteln Sie die disjunktive und konjunktive Normalform (DNF, KNF)
- Minimieren Sie die DNF mit Hilfe eines KV-Diagramms
- Zur Realisierung des Schaltnetzes stehen folgende Gattertypen zur Verfügung



- Realisieren Sie das Schaltnetz mit einer programmierbaren Eingangsmatrix (PAL) und möglichst wenigen Gattern.

Aufgabe 5.6 (Klausur F91)

Zur Bildung des Betragsmaximums von zwei Zahlen A und B wird eine Hilfsvariable C mit dem folgenden Algorithmus gebildet:

If $V_A = V_B$ then $C := A - B$

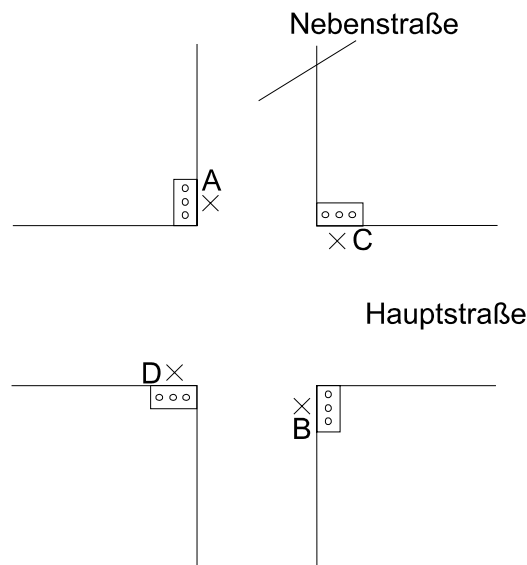
If $V_A \neq V_B$ then $C := A + B$

wobei V_A und V_B jeweils das Vorzeichenbit von A, B sind.

Es soll eine Schaltung entwickelt werden, die aus den Vorzeichenbits V_A , V_B und V_C ein Ausgangssignal f_m generiert, mit dem das Betragsmaximum angezeigt wird. Bei $f_m = 1$ wird die Zahl |A| als Maximum angezeigt.

- a) Stellen Sie die Wahrheitstabelle dieser Schaltung auf.
- b) Ermitteln Sie die minimale disjunktive Form für f_m .
- c) Realisieren Sie die Schaltung jeweils mit einem PAL- und einem PROM-Baustein

(Hinweis: Bei negativer Zahl ist das Vorzeichenbit gleich eins. Es gibt keine negative Null)

Aufgabe 5.7 (Klausur H91)

Gegeben ist eine Ampelanlage entsprechend obiger Skizze mit Haupt- und Nebenstraße und Sensoren A, B, C, D zur Fahrzeugdetektion ($A, B, C, D = 1$ für detektiertes Fahrzeug).

Dabei sind folgende logische Zusammenhänge gegeben:

- Die Hauptstraßenampeln sind grün, falls keine Fahrzeuge detektiert werden.
- Die Hauptstraßenampeln sind grün, wenn beide Sensoren, C und D, Fahrzeuge detektieren.
- Die Hauptstraßenampeln sind grün, wenn einer der Sensoren, C oder D, ein detektiert und die Sensoren, A und B beide zugleich ein detektieren
- Die Nebenstraßenampeln sind grün, falls $A = B = 1$ und C, D nicht zugleich ein Fahrzeug detektieren.
- Die Nebenstraßenampeln sind grün, falls einer der beiden Sensoren A, B ein Fahrzeug detektiert und $C = D = 0$ gegeben ist.

- Erstellen Sie die Wahrheitstabelle für das Grünsignal f_H der Hauptstraßenampeln.
- Ermitteln Sie hierfür DNF und KNF
- Minimieren Sie die DNF mithilfe des KV-Diagramms
- Realisieren Sie diese Funktion mithilfe von NAND-Gattern (mit 2 oder mehr Eingängen) und geben Sie den zugehörigen logischen Ausdruck an.

Aufgabe 5.8 (Klausur F92)

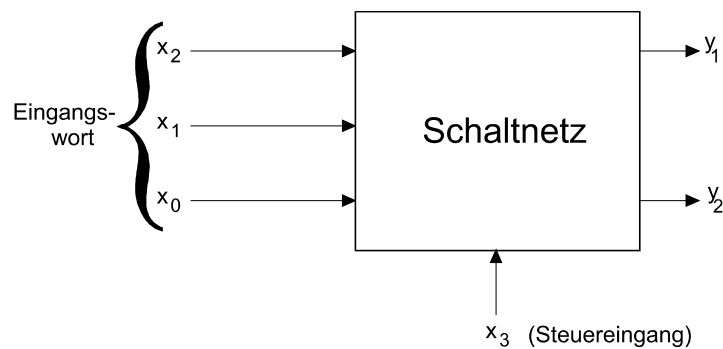
Es soll ein Codewandler, der im Exzeß-3-Code dargestellte Dezimalziffern in den Aiken-code umgesetzt, realisiert werden. Die Funktion des Codewandlers wird durch folgende Tabelle festgelegt:

Dez.- Ziffer Nr.	Exzeß-3-Code				Aiken-Code			
	x ₃	x ₂	x ₁	x ₀	y ₃	y ₂	y ₁	y ₀
0	0	0	1	1	0	0	0	0
1	0	1	0	0	0	0	0	1
2	0	1	0	1	0	0	1	0
3	0	1	1	0	0	0	1	1
4	0	1	1	1	0	1	0	0
5	1	0	0	0	1	0	1	1
6	1	0	0	1	1	1	0	0
7	1	0	1	0	1	1	0	1
8	1	0	1	1	1	1	1	0
9	1	1	0	0	1	1	1	1

- Stellen Sie die vollständige Wahrheitstabelle für diesen Codewandler auf.
- Ermitteln Sie die minimale disjunktive Form für alle
- Realisieren Sie diese logischen Funktionen mit einem PAL-Baustein.

Aufgabe 5.9

Es soll ein Schaltnetz entwickelt werden, das in Abhängigkeit der Steuervariablen x_3 die Anzahl der Einsen ($x_3 = 0$) bzw. der Nullen ($x_3 = 1$) eines Eingangswortes $\{x_2, x_1, x_0\}$ ermittelt.

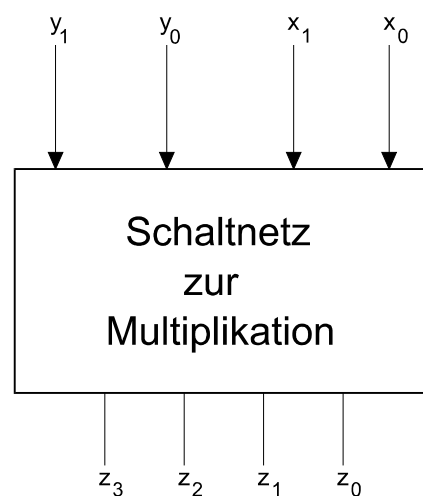


Dabei soll das Ergebnis $\{y_1, y_0\}$ binär codiert die Anzahlen von Einsen bzw. Nullen angeben, wobei y_1 das MSB darstellt.

- Stellen Sie die Wahrheitstabelle für dieses Schaltnetz auf.
- Ermitteln Sie die minimale disjunktive Form für die Ausgangsvariablen
- Realisieren Sie die logische Funktion y_1 mit einem PAL-Baustein.
- Realisieren Sie die logische Funktion y_0 mit XOR-Gattern.

Aufgabe 5.10 (Klausur H93)

Es soll ein Multiplizierer-Schaltnetz entwickelt werden, das für 2 Dualzahlen (ohne Vorzeichen, 2 Bit Wortlänge) deren Betrags-Produkt ermittelt.

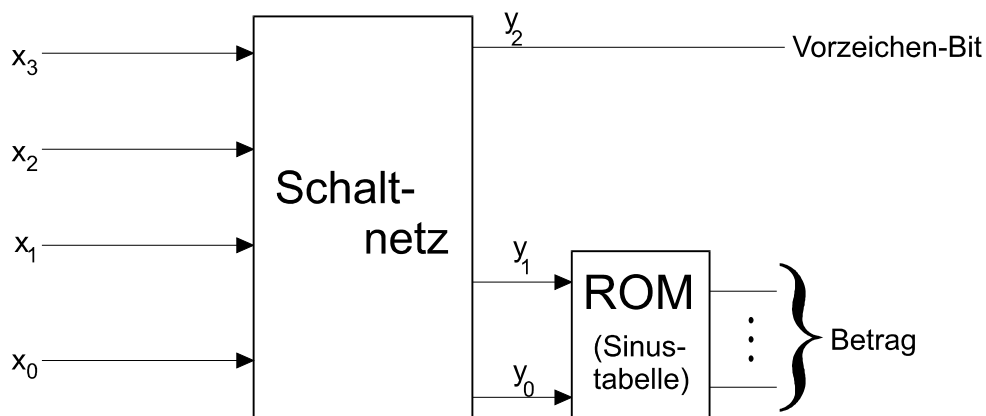


- Stellen Sie die Wahrheitstabelle für dieses Schaltnetz auf.
- Ermitteln Sie die minimale disjunktive Form für die Ausgangsvariablen

- c) Realisieren Sie die logischen Funktionen z_3 , z_2 , z_1 , z_0 mit einem PAL-Baustein.
- d) Der entwickelte Baustein soll mehrfach zur Bildung der Teilprodukte bei einer 2×4 -Multiplikation ($x_3x_2x_1x_0 \cdot y_1y_0$) verwendet werden. Wieviele Bausteine benötigen Sie? Welche Wortlänge wird für die Addition der Teilprodukte benötigt? Skizzieren Sie einen Schaltungsvorschlag mit wertigkeitsrichtiger Zuordnung der Teilprodukte.

Aufgabe 5.11 (Klausur H93)

Für einen Sinusgenerator soll ein Schaltnetz zur Adressierung einer Sinustabelle (mit einem Wertebereich von 0° bis 360°) entwickelt werden. Dabei steht ein ROM-Baustein (Sinus-Tabelle) zur Verfügung, der die Werte für Winkel von 0° bis 90° enthält. Das gesuchte Schaltnetz soll den Wertebereich von 0° bis 360° auf den reduzierten 90° Bereich abbilden. Die Winkelauflösung der Sinuswerte beträgt 30° . Das Schaltnetz soll aus den Eingangsvariablen $\{x_3, x_2, x_1, x_0\}$ die Ausgangsvariablen $\{y_1, y_0\}$ zur Adressierung des ROM-Bausteins $\{y_1, y_0\}$ und das Vorzeichen-Bit der Sinusfunktion y_2 erzeugen. Für negative Werte hat das Vorzeichen-Bit den Wert 1, für den Betrag 0 ist das Vorzeichen beliebig.



Winkel	x_3	x_2	x_1	x_0
0°	0	0	0	0
30°	0	0	0	1
60°	0	0	1	0
90°	0	0	1	1
120°	0	1	0	0
150°	0	1	0	1
180°	0	1	1	0
210°	0	1	1	1
240°	1	0	0	0
270°	1	0	0	1
300°	1	0	1	0
330°	1	0	1	1
360°	1	1	0	0

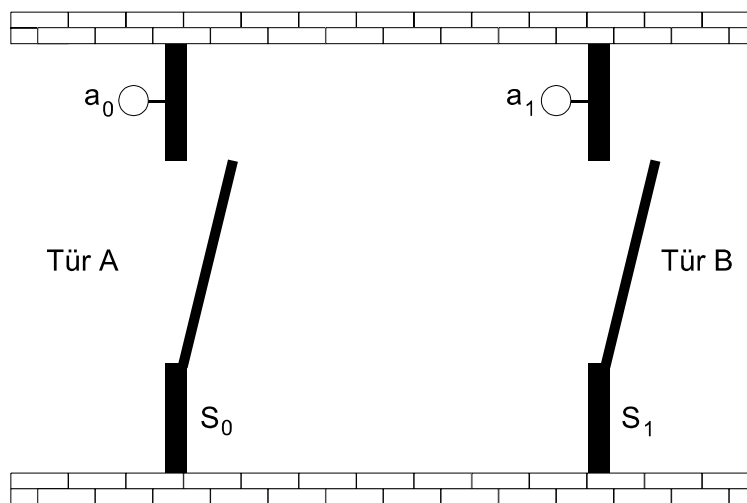
ROM-Adressierung:

y_1	y_0	Sinuswerte für
0	0	0°
0	1	30°
1	0	60°

- Ermitteln Sie die vollständige Wahrheitstabelle.
- Geben Sie die disjunktive Normalformen für y_2 , y_1 und y_0 an. Ermitteln Sie mit Hilfe der KV-Diagrammtechnik die minimalen disjunktiven Formen für y_2 , y_1 und y_0 .
- Geben Sie eine PROM-Realisierung für y_1 an.

Aufgabe 5.12 (Klausur H94)

Gegeben ist eine Sicherheitsschleuse entsprechend folgender Skizze:



An der Tür A befinden sich ein Anforderungskontakt a_0 und ein Sensor s_0 , an der Tür B entsprechend a_1 und s_1 .

s_0 bzw. $s_1=1$ zeigen hierbei an, daß die entsprechende Tür geöffnet ist. Das Drücken der Anforderungskontakte wird durch a_0 bzw. $a_1 = 1$ angezeigt.

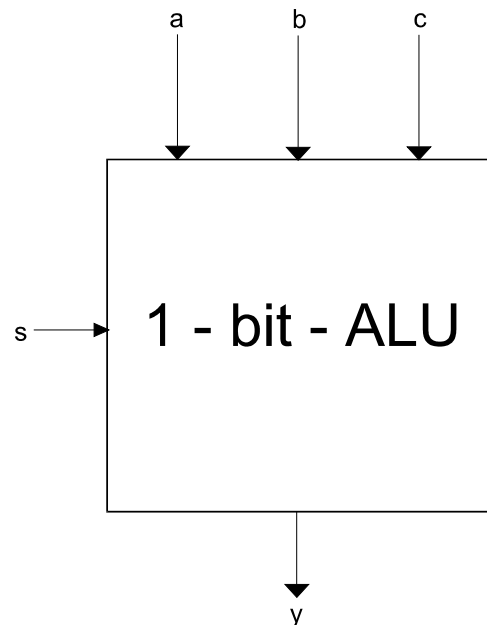
Entwerfen Sie ein Schaltnetz, das zwei Steuersignale y_0 und y_1 erzeugt zur Ansteuerung der beiden Türöffner (y_0 , bzw. $y_1 = 1 \triangleq$ Tür öffnen). Dabei sind folgende Vorgaben einzuhalten:

- Es sind niemals beide Türen gleichzeitig geöffnet.
- Wenn beide Türen gleichzeitig geöffnet werden sollen, hat die Tür A Vorrang.

- Geben Sie die Wahrheitstabelle für y_0 und y_1 an.
- Geben Sie die minimale disjunktive Form für y_0 und y_1 an. (Minimierung mit KV-Diagramm)
- Realisieren Sie y_0 und y_1 mit einem PLA.

Aufgabe 5.13

Gegeben ist eine 1-bit-ALU, die aus drei 1-bit-Eingangsvariablen (a,b,c) die Ausgangsvariable y berechnet.



In Abhängigkeit vom Steuereingang s wird bei $s=0$ die Summe, und bei $s=1$ das Übertragbit c_{i+1} aus a, b und c berechnet und auf den Ausgang y gegeben.

- Geben Sie die vollständige Wahrheitstabelle für die ALU an.
- Geben Sie die Boolesche Funktion für y in der Disjunktiven Normalform an.
- Ermitteln Sie die minimale disjunktive Form für y.
- Skizzieren Sie eine Realisierung für y mit einem PROM.