



Kurzaufgaben zur Vorlesung

Grundlagen der Informationsverarbeitung II

Sommersemester 2004

Betreuung

Prof. Dr.-Ing. H. Schröder, Raum P1-04-211, Telefon: 0231 755-3190
E-Mail: hartmut.schroeder@uni-dortmund.de

Dipl.-Ing. Hendrik Lange, Raum P1-04-210, Telefon: 0231 755-2028
E-Mail: hendrik.lange@uni-dortmund.de

Aktuelle Informationen

http://www-kt.e-technik.uni-dortmund.de/m_siv/giv/giv_main.html



Kurzaufgaben zu GIV II

Die Kurzfragen sind kurz und eindeutig zu beantworten. Die Angabe von Begriffen, Formeln, Skizzen etc. ist erforderlich. Lange Texte kosten Sie nur Zeit.

2.1) Gegeben ist eine Boolesche Funktion

$$y = y(a, b, c, d) = abc \vee \bar{a}b\bar{c} \vee ab\bar{c}\bar{d}$$

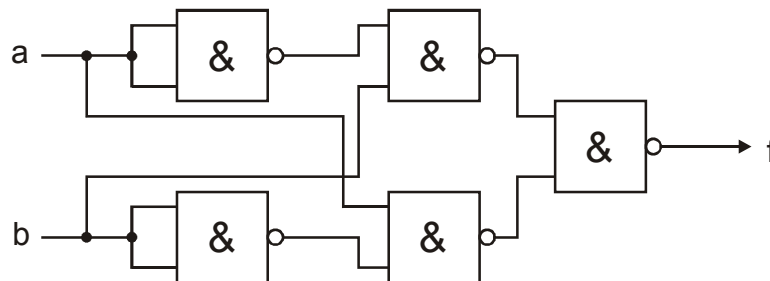
Um welche Form der Darstellung einer Booleschen Funktion (KF, KNF, DF, DNF) handelt es sich? Begründen Sie Ihre Antwort!

2.2) Erläutern Sie die Eigenschaften der Minimierung nach Quine-McCluskey gegenüber einer Minimierung mit Hilfe von KV-Diagrammen bezüglich

- Anzahl von Variablen und manueller Handhabung,
- Verwendbarkeit im rechnergestützten Entwurf.

2.3) Was für einen einzelnen Multiplexer benötigt man mindestens um eine Boolesche Funktion mit 5 Variablen zu realisieren? (Begründung)

2.4) Gegeben sei das folgende Schaltnetz bestehend aus NAND-Gattern:



Geben Sie den Namen (z.B. UND, ODER, NAND, NOR oder XOR) der logischen Funktion $f=f(a,b)$ an, welche durch das Schaltnetz realisiert wird. Hinweis: Ermitteln Sie dazu zunächst die boolesche Gleichung für f .

2.5) Lassen sich komplexe Gatterschaltungen allein aus UND und Negationsschaltungen aufbauen? (Begründung)

- 2.6) Es liegen 2 Entwürfe für KV-Diagramme vor. Begründen Sie, warum ggf. eines der beiden Diagramme nicht zur Minimierung Boolescher Funktionen geeignet ist.

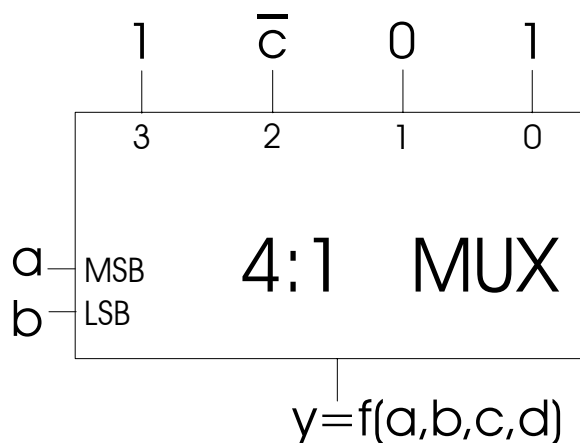
	x_3				
	0	4	12	8	
	1	5	13	9	
x_1	3	6	15	11	x_0
	2	7	14	10	
	x_2				

Bild 1

	x_3				
	0	4	12	8	
	1	5	13	9	
x_1	3	6	15	11	x_0
	2	7	14	10	
	x_2				

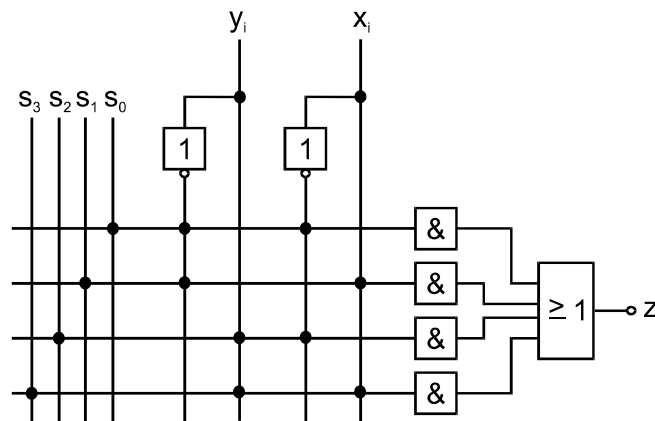
Bild 2

- 2.7) Gegeben ist ein 4:1 Multiplexer mit den angegebenen Eingangsvariablen bzw. -werten. Geben Sie die zugehörige Boolesche Ausgangsfunktion $y=f(a,b,c,d)$ an.



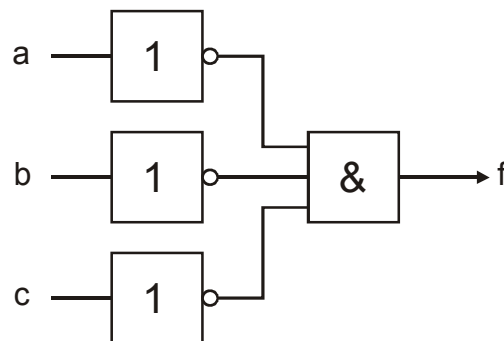
- 2.8) Der Zahlenbereich für eine Zweierkomplementdarstellung soll von 4 auf 5 Bit erweitert werden. Geben Sie für die beiden 4 Bit-Zahlen die erweiterten 5 Bit-Versionen an: $a_1 = 1.001$ und $a_2 = 0.010$.

- 2.9) Gegeben ist ein Universallogikbaustein nach Skizze. Dieser realisiert die Minterme der Variablen x_i, y_i , die über die Steuervariablen $s_0 \dots s_3$ ausgewählt werden können.



Wie bezeichnet man die Schaltungsstruktur? Wie viele verschiedene logische Verknüpfungen von x_i und y_i sind möglich? Geben Sie die Ausgangsfunktion $z_i = z_i(x_i, y_i)$ an.

- 2.10) Gegeben sei das folgende Schaltnetz bestehend aus drei Invertern und einem 3-Eingangs-UND-Gatter:



Geben Sie den Namen (z.B. UND, ODER, NAND, NOR oder XOR) der logischen Funktion $f = f(a, b, c)$ an, welche durch das Schaltnetz realisiert. Hinweis: Ermitteln Sie dazu zunächst die boolesche Gleichung für f .

Name der realisierten Funktion: _____

2.11) Gegeben sind 4 Boole'sche Variablen a,b,c,d. Geben Sie je ein Beispiel an für

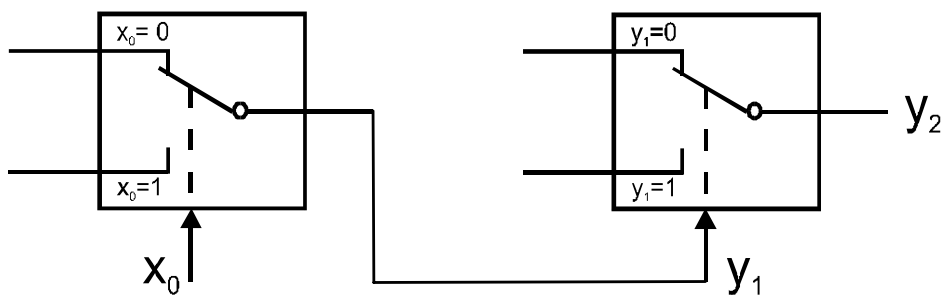
- einen Minterm,
- eine Boole'sche Funktion, die alle Variablen in konjunktiver Normalform enthält

2.12) Gegeben ist folgende Boole'sche Funktion:

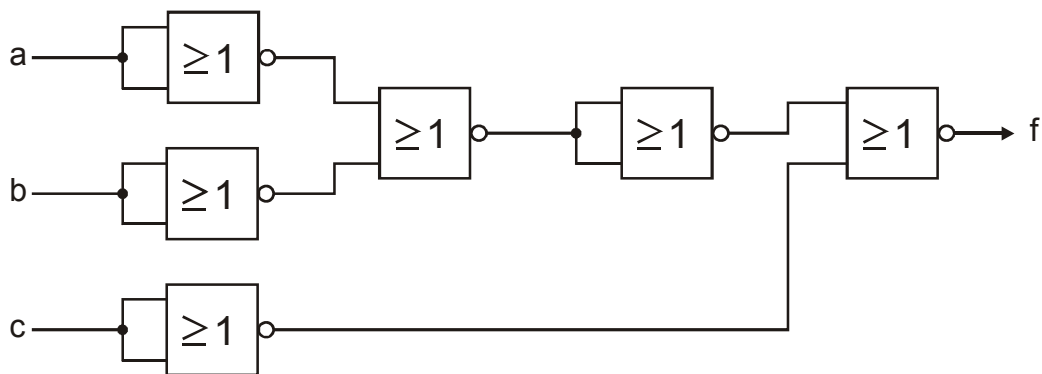
$$y = y(a,b,c,d) = abc \vee ab\bar{c} \vee ab\bar{d} \vee abd .$$

Vereinfachen Sie die Funktion so weit wie möglich auf algebraischem Wege. Geben Sie auch die Zwischenschritte an.

2.13) Mit einem ersten Multiplexer soll eine ExOr-Verknüpfung zwischen x_0 und x_1 , mit dem zweiten eine Negation ($y_2 = \bar{y}_1$) realisiert werden. Tragen Sie die notwendigen Beschaltungswerte in die Schaltung ein:



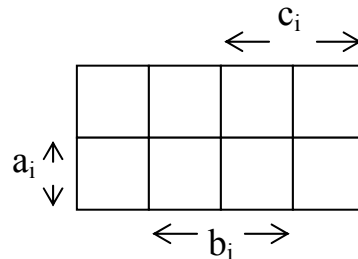
2.14) Gegeben sei das folgende Schaltnetz bestehend aus NOR-Gattern:



Geben Sie den Namen (z.B. UND, ODER, NAND, NOR oder XOR) der logischen Funktion $f = f(a, b, c)$ an, welche durch das Schaltnetz realisiert. Hinweis: Ermitteln Sie dazu zunächst die boolesche Gleichung für f .

Name der realisierten Funktion: _____

- 3.1) Es sind zwei Zweierkomplementzahlen zu multiplizieren: $a = a_1 \cdot a_2$. Es sind hierbei $a_1 = 1.011$ und $a_2 = 1.001$. Wandeln Sie die Zahlen ins Betrag-Vorzeichen-Format um, multiplizieren und wandeln Sie ins Zweierkomplement zurück.
- 3.2) Ein Volladdierer addiert zwei Bits a_i , b_i und ein ankommendes Übertragsbit c_i . Geben Sie das zugehörige KV-Diagramm für das Summenbit s_i an.



- 3.3) Gegeben sei folgendes Gleitkommaformat:

$$\mathbf{x, xxx\ xxxx \cdot 2^{xxxx}}$$

Die Mantisse besitzt 1 Vorkommabit und 7 Nachkommabits, und liegt im Zweierkomplement-Format vor (das Vorkommabit ist das Vorzeichenbit).

Der 4-Bit-Exponent liegt im Betrag-Vorzeichen-Format vor.

Wie lautet die Zahl

$$\mathbf{a = -26,25}$$

im gegebenen Format?

- 3.4) Gegeben sei folgendes Gleitkommaformat:

$$\mathbf{x, xxx\ xxxx \cdot 2^{xxxxx}}$$

Die Mantisse besitzt 1 Vorkommabit und 7 Nachkommabits, und liegt im Zweierkomplement-Format vor (das Vorkommabit ist das Vorzeichenbit).

Der 5-Bit-Exponent liegt im Offset-Binary-Format vor.

Wie groß ist bei diesem Gleitkommaformat die Schrittweite der Zahlen im Bereich des größten und kleinsten Exponenten?

- 3.5) Betrachten Sie einen Addierer mit Übertragsweiterleitung (Ripple-Carry) und einen Addierer mit Übertragsvorausberechnung (Carry-Look-Ahead). Bewerten Sie beide Typen vergleichend hinsichtlich der Additionszeit und des Flächenaufwandes der Hardwarerealisierung.

3.6) Gegeben sei folgendes Gleitkommaformat:

$$\mathbf{x, xxx xxxx \cdot 2^{xxxx}}$$

Die Mantisse besitzt 1 Vorkommabit und 7 Nachkommabits, und liegt im Betrag-Vorzeichen-Format vor (das Vorkommabit ist das Vorzeichenbit). Der 4-Bit-Exponent liegt im Offset-Binary-Format vor.

Wie lautet die Zahl

$$\mathbf{a = -14,625}$$

im gegebenen Format?

Antwort: $a =$

3.7) Gegeben sei folgendes Gleitkommaformat:

$$\mathbf{x, xxx xxxx \cdot 2^{xxxx}}$$

Die Mantisse besitzt 1 Vorkommabit und 7 Nachkommabits, und liegt im Betrag-Vorzeichen-Format vor (das Vorkommabit ist das Vorzeichenbit). Der 4-Bit-Exponent liegt im Zweierkomplement-Format vor.

Geben Sie die darstellbaren Zahlenbereiche für eine Zahl a , die im gegebenen Format vorliegt, jeweils im Bereich des größten und kleinsten Exponenten an.

Zahlenbereich im Bereich des kleinsten Exponenten:

$$\underline{\hspace{2cm}} \leq a \leq \underline{\hspace{2cm}}$$

Zahlenbereich im Bereich des größten Exponenten:

$$\underline{\hspace{2cm}} \leq a \leq \underline{\hspace{2cm}}$$

3.8) Welchen Vorteil bietet das Betrag-Vorzeichen-Format gegenüber dem Zweierkomplement-Format bei der Ausführung von Multiplikationen?

Antwort:

- 3.9) In einem 4 Bit-System ohne Überlaufkontrolle werden 2 Zweierkomplementzahlen subtrahiert: $a_1=1.011$ und $a_2=0.111$. Welches Ergebnis wird in diesem System erzielt? Ist das erzielte Ergebnis korrekt?

- 3.10) Gegeben sei folgendes Gleitkommaformat:

$$\mathbf{x, xxx\ xxxx \cdot 2^{xxxx}}$$

Die Mantisse besitzt 1 Vorkommaabit und 7 Nachkommabits, und liegt im Zweierkomplement-Format vor (das Vorkommaabit ist das Vorzeichenbit). Der 4-Bit-Exponent liegt im Offset-Binary-Format vor.

Wie lautet die Zahl

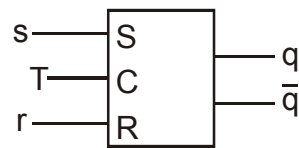
$$\mathbf{a = -3,875}$$

im gegebenen Format?

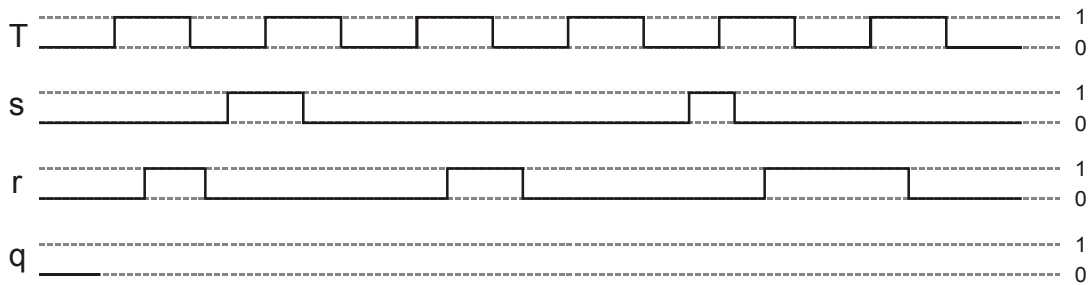
- 3.11) Angenommen sei ein Gleitkommaformat mit einer 8 Bit breiten Mantisse, welche im Zweierkomplement-Format vorliegt. Die Mantisse habe ein Vorkommaabit und 7 Nachkommabits (das Vorkommaabit ist das Vorzeichenbit). Der Exponent liege im Betrag-Vorzeichen-Format vor.

Wie viele Bits für den Exponenten sind mindestens erforderlich, um die Zahl 2^{-15} exakt darstellen zu können?

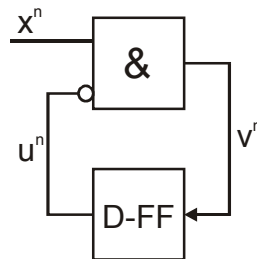
4.1) Gegeben sei ein taktzustandsgesteuertes SR-Flipflop:



Vervollständigen Sie den Signal-Zeit-Verlauf für die Ausgangsvariable q:



4.2) Betrachten Sie das folgende einfache Schaltwerk bestehend aus einem Und-Gatter, einem Inverter und einem D-Flipflop als Zustandsspeicher:

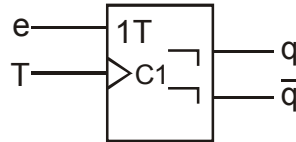


Welchen Folgezustand u^{n+1} nimmt das Schaltwerk bei $x^n=0$ und bei $x^n=1$ in Abhängigkeit vom aktuellen Zustand u^n an?

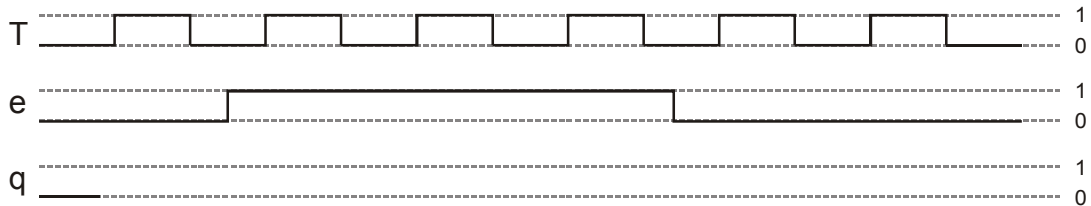
Für $x^n=0$ gilt: $u^{n+1} = f(u^n) =$ _____

Für $x^n=1$ gilt: $u^{n+1} = f(u^n) =$ _____

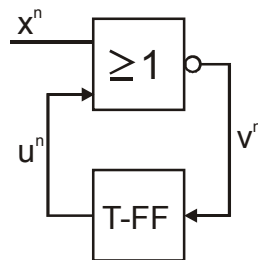
4.3) Gegeben sei ein Toggle-Flipflop mit positiver Taktflankensteuerung:



Vervollständigen Sie den Signal-Zeit-Verlauf für die Ausgangsvariable q . Beachten Sie, dass bei diesem Flipflop das Eingangssignal bei positiver Taktflanke übernommen, und das Ausgangssignal bei negativer Taktflanke ausgegeben wird:



4.4) Betrachten Sie das folgende einfache Schaltwerk bestehend aus einem NOR-Gatter und einem Toggle-Flipflop als Zustandsspeicher:

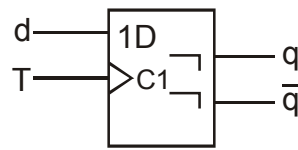


Welchen Folgezustand u^{n+1} nimmt das Schaltwerk bei $x^n=0$ und bei $x^n=1$ in Abhängigkeit vom aktuellen Zustand u^n an?

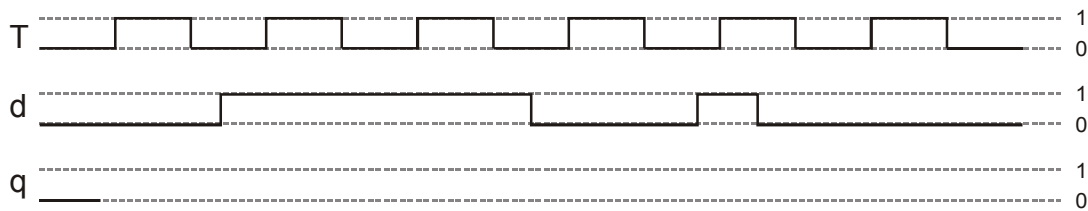
Für $x^n=0$ gilt: $u^{n+1} = f(u^n) =$ _____

Für $x^n=1$ gilt: $u^{n+1} = f(u^n) =$ _____

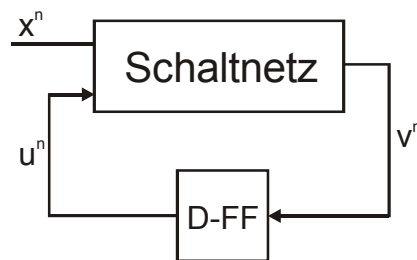
4.5) Gegeben sei ein D-Flipflop mit positiver Taktflankensteuerung:



Vervollständigen Sie den Signal-Zeit-Verlauf für die Ausgangsvariable q . Beachten Sie, dass bei diesem Flipflop das Eingangssignal bei positiver Taktflanke übernommen, und das Ausgangssignal bei negativer Taktflanke ausgegeben wird:



4.6) Betrachten Sie das folgende einfache Schaltwerk bestehend aus einem D-Flipflop und einem Schaltnetz, welches die logische Funktion $f = f(x^n, u^n)$ realisiert:



Bei $x^n = 0$ soll das Schaltwerk in seinen inversen Zustand kippen ($u^{n+1} = \bar{u}^n$), bei $x^n = 1$ soll es seinen aktuellen Zustand speichern ($u^{n+1} = u^n$). Geben Sie die dafür erforderliche logische Funktion $f = f(x^n, u^n)$ des Schaltnetzes an:

Logische Funktion des Schaltnetzes:

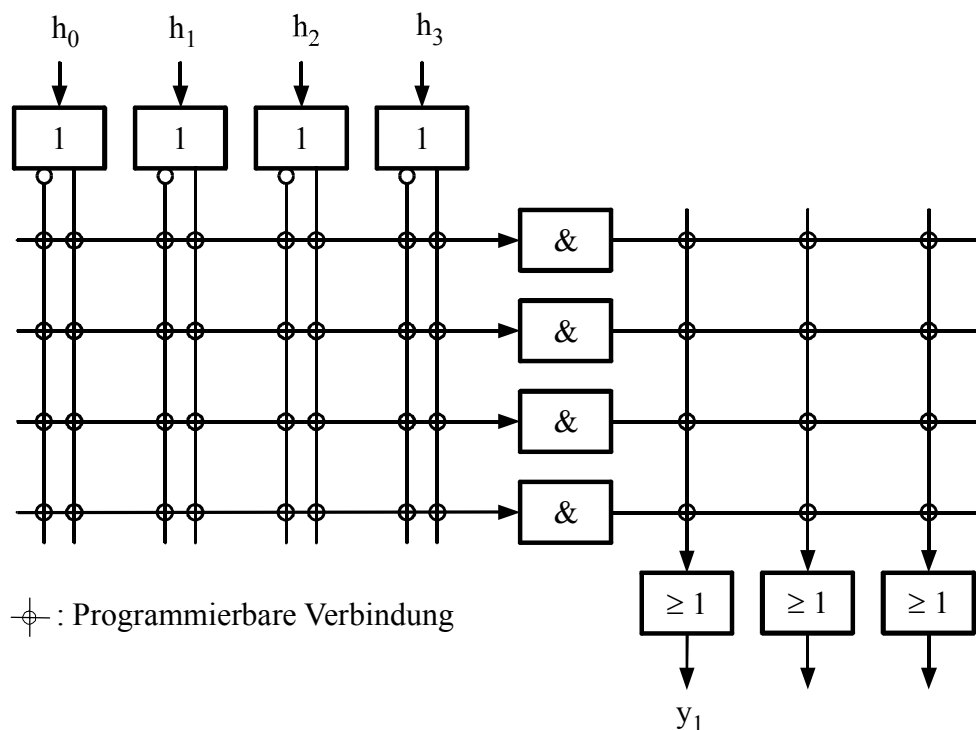
$$f = f(x^n, u^n) = \underline{\hspace{10cm}}$$

- 5.1) Ein Tabellenspeicher (Look-Up-Table) für mathematische Funktionen soll für einen im Rahmen der erreichbaren Genauigkeit beliebigen Wertevorrat programmierbar sein. Das Eingangswort habe eine Wortlänge von 8 Bit (incl. Vorzeichen), das Ausgangswort 24 Bit.

Welche Speicherbausteine sind zweckmäßig? Welcher Speicherbedarf ist gegeben?

- 5.2) Ein Tabellenspeicher soll für die Multiplikation zweier vorzeichenbehafteter ganzer Zahlen angelegt werden. Die Wortlänge beider Zahlen beträgt 8 Bit (incl. Vorzeichen). Berechnen Sie die Speicherkapazität einmal für den Fall, dass ein Faktor veränderlich, und der andere fest ist. Berechnen Sie außerdem die Speicherkapazität für den Fall, dass beide Faktoren veränderlich sind.

- 5.3) Gegeben ist die Struktur eines programmierbaren Speicherbausteins (Skizze).



Handelt es sich um eine PROM- oder PLA-Architektur? (2 Gründe angeben) Tragen Sie die zu setzenden Verbindungen im Eingangs- und Ausgangsfeld ein für die Boole'sche Funktion $y_1 = h_0 \bar{h}_1 h_2 \bar{h}_3 \vee h_0 h_1 \bar{h}_2 \bar{h}_3$.

- 5.4) Gegeben sei ein Schaltwerk mit einem 2-Bit-breiten Eingangsvektor. Das Schaltwerk kann 5 verschiedene Zustände annehmen, und besitze einen 1-Bit-breiten Ausgangsvektor. Wie viele Bit Speicherkapazität wird mindestens benötigt, wenn das zugehörige Schaltnetz mit einem PROM realisiert werden soll?

Antwort: _____ Bit Speicherkapazität